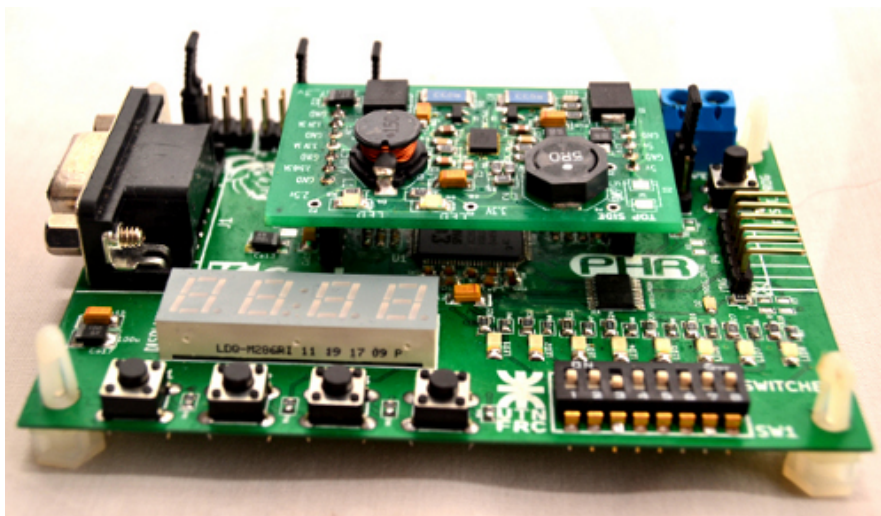




Plataforma de Hardware Reconfigurable

Manual de usuario

Documento versión BETA20140219
19 de febrero de 2014



Centro Universitario de Desarrollo en Automación y Robótica

Universidad Tecnológica Nacional

Facultad Regional Córdoba

Este documento se trata de una guía de usuario sobre la *Plataforma de Hardware Reconfigurable* desarrollada en el *CUDAR, Centro Universitario de Desarrollo en Automación y Robótica*, en la *Universidad Tecnológica Nacional, Facultad Regional Córdoba*.

<contacto>

<integrantes del proyecto>

<etc>

Notas

Hace falta prefacio ¿? software para programacion¿? El/La FPGA ¿?

Historial del documento

BETA20140213 Trabajando sobre el estilo del documento. (maximiq)

BETA20140214 Trabajando sobre el estilo y estructuracion del documento. (maximiq)

BETA20140218 Algunas imagenes creadas y añadidas (maximiq)

BETA20140219 Más imagenes creadas y añadidas (maximiq)

Tabla de contenidos

1. Descripción general	4
1.1. Características	4
1.2. Componentes de la placa principal	4
2. Descripción modular del hardware	6
3. La placa PHR	7
3.1. El chip FPGA	7
3.2. Memoria del FPGA	7
3.3. Interfaz JTAG	7
3.4. Relojes	7
3.5. GPIO	7
3.6. MOD	8
3.7. Periféricos	8
3.7.1. LEDs	8
3.7.2. Pulsadores (<i>Tact switches</i>)	8
3.7.3. Llaves DIP	8
3.7.4. Displays de 7 segmentos	8
3.7.5. Puerto serie	8
4. La placa OOCDFLink	10
4.1. El chip FT232D	10
5. La placa S3Power	11
5.1. El chip TPS75003	11
A. FPGA pin mapping	12
B. Esquemáticos	13

1. Descripción general

INTRO

Características

Entre las características de la placa PHR se pueden destacar:

FPGA: Xilinx Spartan-3A XC3S200A.

PROM: Xilinx XCF02S.

Propósito general io (corrientes)

Conector Modulos expansion

Voltaje de operación

Voltaje de entrada (recomendado): xV - yV.

Voltaje de entrada (limite): xV - yV.

Corriente de entrada [...]

Relojes: 4 relojes en total:

Clock 0: 50 MHz.

Clock 1: Seleccionable entre 16 MHz, 1 MHz, 500 kHz y 250 kHz.

Clock 2: Seleccionable entre 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.

Clock 3: Seleccionable entre 3.91 kHz, 1.95 kHz, 977 Hz.

Multiplicidad de periféricos:

- 8 LEDs.
- 8 llaves (DIP switch).
- 4 pulsadores.
- Displays.
- Puerto serie.

Componentes de la placa principal

En la Fig. 1.1 se tiene la vista superior de la placa PHR con sus principales componentes demarcados. Según la numeración, éstos componentes son:

1. Selector de clock.
2. I/O de propósito general (GPIO).
3. Conector de módulos externos.
4. Entrada de alimentación (5V).

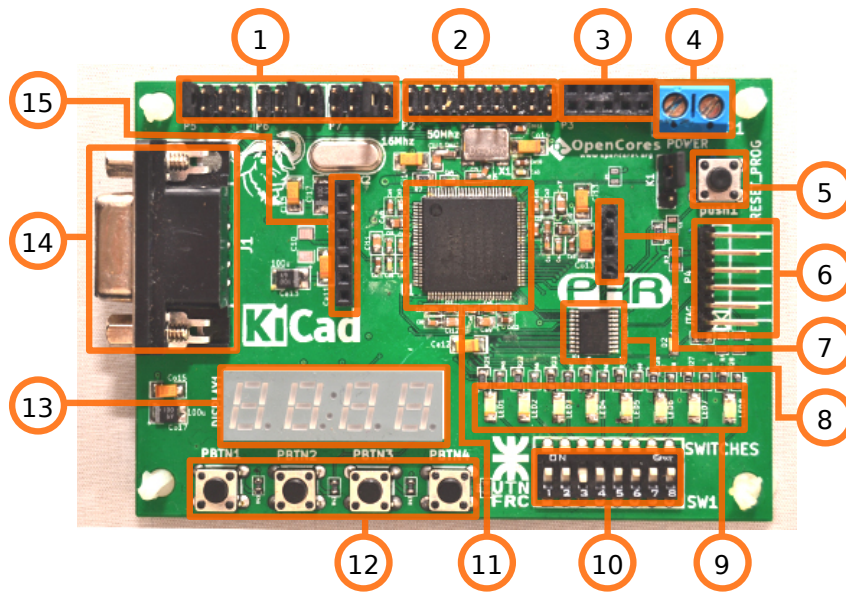


Figura 1.1: Componentes de la placa PHR

5. Boton de RESET.
6. Conector de la plaqueta OOCDFLink.
7. Alimentación plaqueta S3Power.
8. Memoria PROM.
9. LEDs.
10. Llaves DIP.
11. FPGA.
12. Botones pulsadores.
13. Display de 7 segmentos cuádruple.
14. Conector para puerto serie.
15. Tensiones de alimentación para el FPGA.

2. Descripción modular del hardware

3. La placa PHR

El chip FPGA

Memoria del FPGA

Interfaz JTAG

Relojes

GPIO

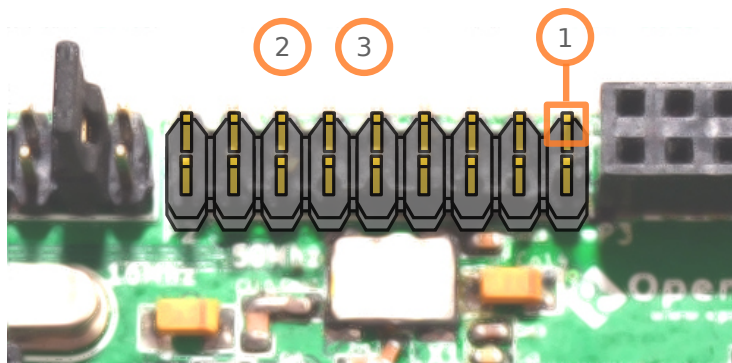


Figura 3.1: Conector para entradas y salidas de propósito general.

Periférico	Pin	Periférico	Pin
LED1	10	LED5	14
LED2	11	LED6	15
LED3	12	LED7	16
LED4	13	LED8	17

Cuadro 3.1: Correspondencia entre los pines de la FPGA y los LEDs (periféricos).

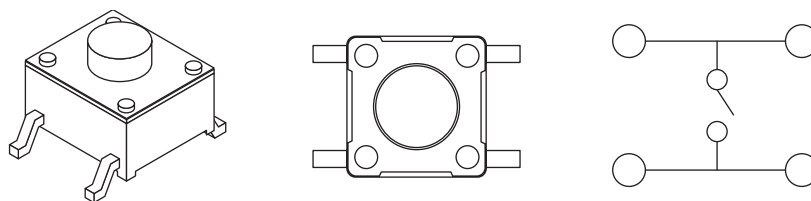


Figura 3.2: Tact.

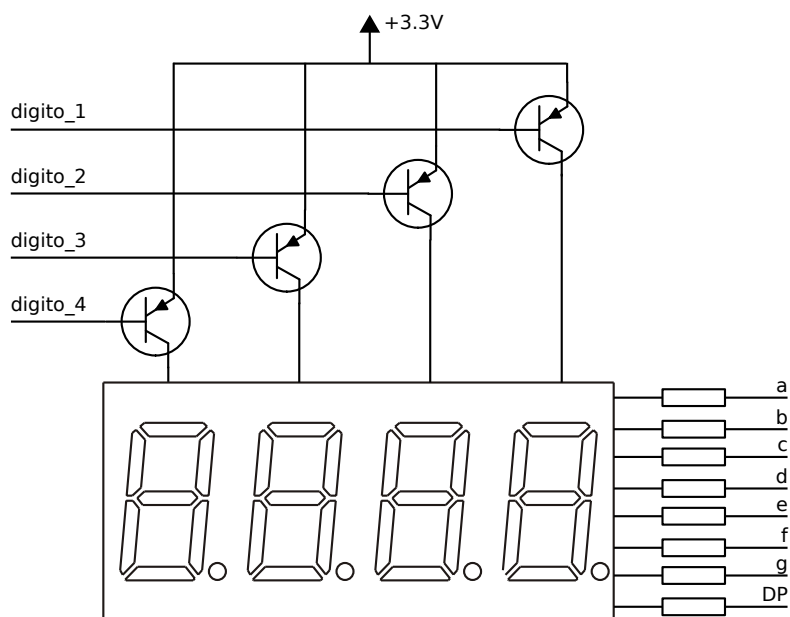


Figura 3.3: Circuito 7 segmentos.

MOD

Periféricos

LEDs

Pulsadores (*Tact switches*)

Llaves DIP

Displays de 7 segmentos

Puerto serie

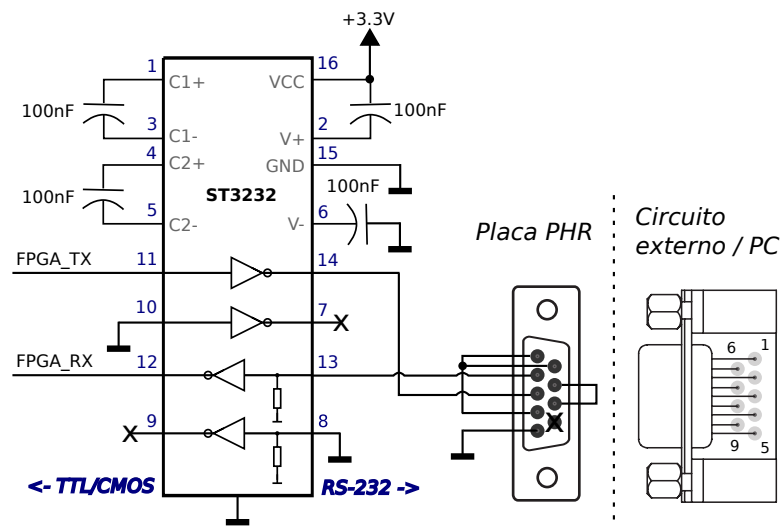


Figura 3.4: Circuito de la interfaz RS-232

4. La placa OOCDDLink

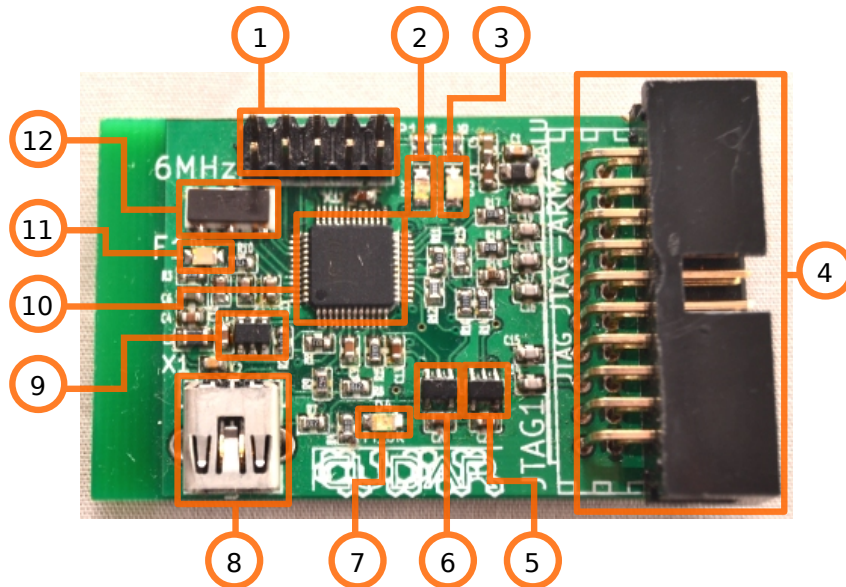


Figura 4.1: Componentes de la placa OOCDDLink

- 1.
- 2.
- 3.
- 4.
- 5.
- 6.
- 7.

El chip FT2232D

5. La placa S3Power

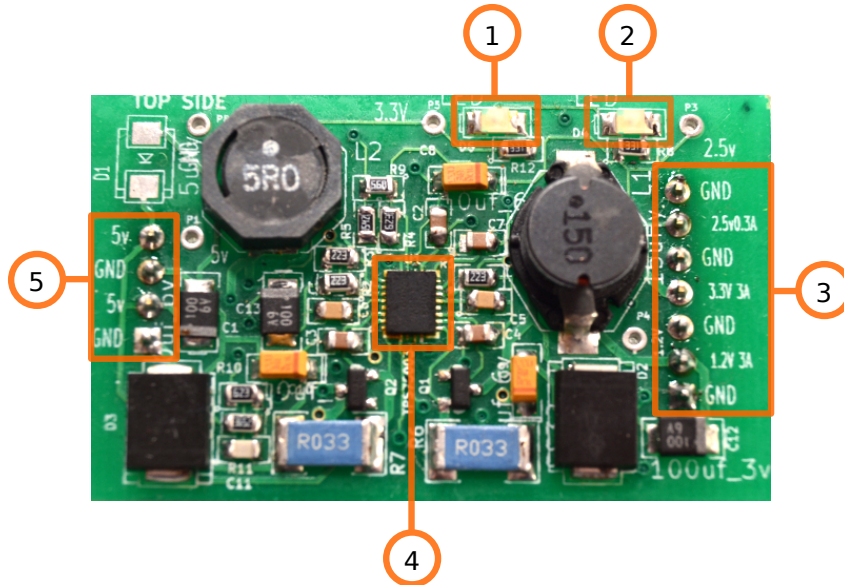


Figura 5.1: Componentes de la placa S3Power

- 1.
- 2.
- 3.
- 4.
- 5.
- 6.
- 7.

El chip TPS75003

A. FPGA pin mapping

B. Esquemáticos

FIN