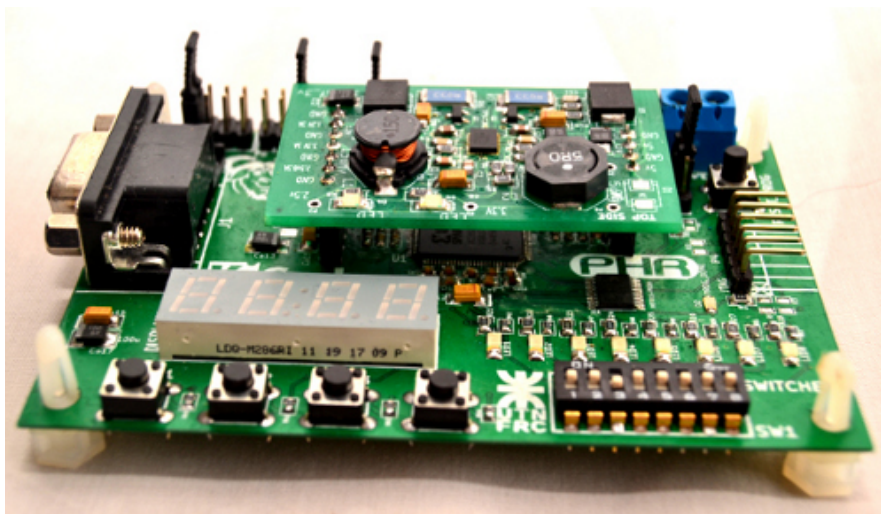




# Plataforma de Hardware Reconfigurable

## Manual de usuario

Documento versión BETA20140226  
26 de febrero de 2014



**Centro Universitario de Desarrollo en Automación y Robótica**

*Universidad Tecnológica Nacional*

*Facultad Regional Córdoba*

Este documento se trata de una guía de usuario sobre la *Plataforma de Hardware Reconfigurable* desarrollada en el *CUDAR, Centro Universitario de Desarrollo en Automación y Robótica*, en la *Universidad Tecnológica Nacional, Facultad Regional Córdoba*.

<contacto>

<integrantes del proyecto>

<etc>

## **Notas**

Hace falta prefacio ¿? software para programacion¿? El/La FPGA ¿?

## **Historial del documento**

**BETA20140213** Trabajando sobre el estilo del documento. (maximiq)

**BETA20140214** Trabajando sobre el estilo y estructuracion del documento. (maximiq)

**BETA20140218** Algunas imagenes creadas y añadidas (maximiq)

**BETA20140219** Más imagenes creadas y añadidas (maximiq)

**BETA20140222** Trabajando en la seccion perifericos (maximiq)

**BETA20140223** Trabajando en la sección periféricos (maximiq)

**BETA20140224** Seccion perifericos lista para correccion (maximiq)

**BETA20140225** Capitulo s3power actualizado (maximiq)

# Tabla de contenidos

<b>1. Descripción general</b>	<b>1</b>
1.1. Características . . . . .	1
1.2. Componentes de la placa principal . . . . .	1
1.3. introduccion al software . . . . .	3
1.4. salidas de la FPGA . . . . .	3
<b>2. Descripción modular del hardware</b>	<b>4</b>
<b>3. La placa PHR</b>	<b>5</b>
3.1. El chip FPGA . . . . .	5
3.1.1. Requerimientos de alimentación . . . . .	5
3.2. Memoria del FPGA . . . . .	5
3.3. Interfaz JTAG . . . . .	5
3.4. Fuentes de <i>clock</i> . . . . .	5
3.5. Periféricos . . . . .	5
3.5.1. LEDs . . . . .	5
3.5.2. Pulsadores ( <i>Tact switches</i> ) . . . . .	6
3.5.3. Llaves DIP . . . . .	6
3.5.4. Displays de 7 segmentos . . . . .	6
3.5.5. Puerto serie . . . . .	7
3.6. Entradas y salidas de propósito general . . . . .	7
<b>4. La placa OOCdLink</b>	<b>10</b>
4.1. El chip FT2232D . . . . .	10
<b>5. La placa S3Power</b>	<b>11</b>
5.1. El chip TPS75003 . . . . .	11
<b>A. Conexiones de la FPGA</b>	<b>13</b>
<b>B. Esquemáticos</b>	<b>14</b>
<b>C. Creacion de UCF en texto plano</b>	<b>16</b>

## Índice de figuras

---

1.1. Componentes de la placa PHR . . . . .	2
3.1. <i>Tact switches</i> . . . . .	6
3.2. <i>DIP switches</i> . . . . .	7
3.3. Circuito del display de siete segmentos . . . . .	8
3.4. Diagrama temporal de la multiplexación . . . . .	8
3.5. Caracteres comunes en los displays de 7 segmentos . . . . .	8
3.6. Circuito de la interfaz RS-232 . . . . .	9
3.7. Conectores de propósito general . . . . .	9
4.1. Componentes de la placa OOCDFLink . . . . .	10
5.1. Componentes de la placa S3Power . . . . .	11
5.2. Arranque de la placa S3Power . . . . .	12

# Índice de cuadros

---

3.1. Entradas de alimentación . . . . .	5
3.2. Pines para los LEDs . . . . .	6
3.3. Pines para los <i>tact switches</i> . . . . .	6
3.4. Pines para las llavess . . . . .	7
3.5. Pines para el diplay de segmentos . . . . .	7
3.6. Pines para la conexión RS-232 . . . . .	8
3.7. Pines para las <i>GPIO</i> . . . . .	9



# 1. Descripción general

---

INTRO

## Características

Entre las características de la placa PHR se pueden destacar:

**FPGA:** Xilinx Spartan-3A XC3S200A.

**PROM:** Xilinx XCF02S.

Propósito general io (corrientes)

Conector Modulos expansion

Voltaje de operación

Voltaje de entrada (recomendado): xV - yV.

Voltaje de entrada (limite): xV - yV.

Corriente de entrada [...]

**Relojes:** 4 relojes en total:

**Clock 0:** 50 MHz.

**Clock 1:** Seleccionable entre 16 MHz, 1 MHz, 500 kHz y 250 kHz.

**Clock 2:** Seleccionable entre 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.

**Clock 3:** Seleccionable entre 3.91 kHz, 1.95 kHz, 977 Hz.

Multiplicidad de periféricos:

- 8 LEDs.
- 8 llaves (DIP switch).
- 4 pulsadores.
- Displays.
- Puerto serie.

## Componentes de la placa principal

En la Fig. 1.1 se tiene la vista superior de la placa PHR con sus principales componentes demarcados. Según la numeración, éstos componentes son:

1. Selector de clock.
2. I/O de propósito general (GPIO).
3. Conector de módulos externos.
4. Entrada de alimentación (5V).
5. Boton de RESET.
6. Conector de la plaqueta OOCdLink.
7. Alimentación plaqueta S3Power.

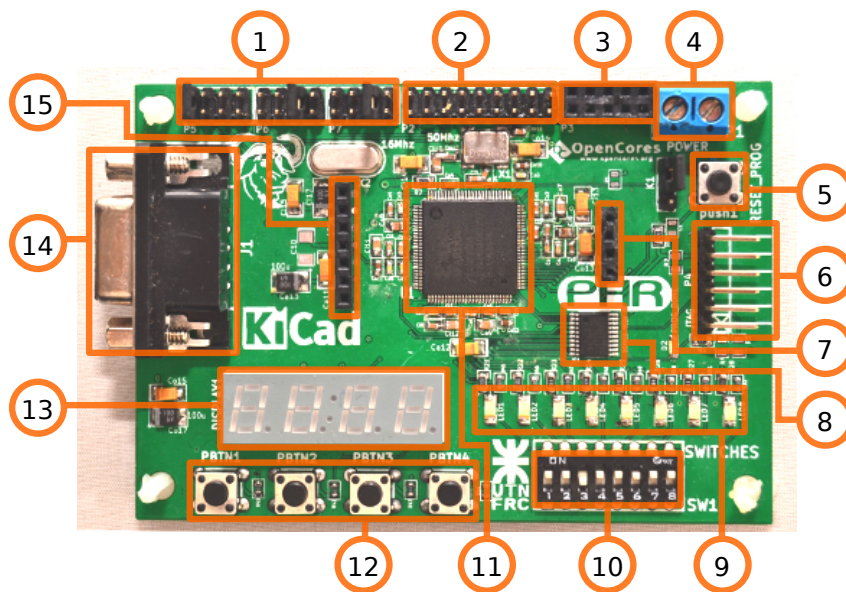


Figura 1.1: Componentes de la placa PHR

- 8. Memoria PROM.
- 9. LEDs.
- 10. Llaves DIP.
- 11. FPGA.
- 12. Botones pulsadores.
- 13. Display de 7 segmentos cuádruple.
- 14. Conector para puerto serie.
- 15. Tensiones de alimentación para el FPGA.



**introduccion al software**

**salidas de la FPGA**

## ***2. Descripción modular del hardware***

---

## 3. La placa PHR

### El chip FPGA

#### Requerimientos de alimentación

El chip XC3S200A tiene varias entradas de alimentación que se describen de manera sucinta en la Tabla 3.1. La FPGA cuenta con un circuito especializado de *Power-On Reset* (POR) que controla tres tensiones de alimentación ( $V_{CCINT}$ ,  $V_{CCAUX}$  y  $V_{CCO2}$ ) y mantiene al chip en estado de reset hasta que se alcanzan los niveles seguros de trabajo para proseguir con la carga del sistema. Las señales de alimentación deben arrancar con cierta pendiente y demostrar una estabilidad determinada para garantizar que el circuito POR libere el reset. Para mas información referida al sistema de alimentación vease al capítulo 5 en la pág. 11.

Entrada	Descripción	Tensión nominal
$V_{CCINT}$	Es la tensión de alimentación del núcleo interno. Alimenta las funciones lógicas internas como los CLBs ( <i>Bloques Lógicos Configurables</i> ) y los bloques de RAM.	1.2V
$V_{CCAUX}$	Fuente de tensión auxiliar. Alimenta elementos tales como los DCMs ( <i>Digital Clock Managers</i> ), drivers diferenciales, pines de configuración dedicados y la interfaz JTAG.	2.5V o 3.3V
$V_{CCO0}$	Alimenta los buffers de salida del Banco de E/S número 0.	Seleccionable entre 3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V.
$V_{CCO1}$	Alimenta los buffers de salida del Banco de E/S número 1.	Seleccionable entre 3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V.
$V_{CCO2}$	Alimenta los buffers de salida del Banco de E/S número 2.	Seleccionable entre 3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V.
$V_{CCO3}$	Alimenta los buffers de salida del Banco de E/S número 3.	Seleccionable entre 3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V.

Cuadro 3.1: Entradas de alimentación para la familia Spartan-3A.

### Memoria del FPGA

### Interfaz JTAG

### Fuentes de *clock*

### Periféricos

#### LEDs

En la placa se encuentran ocho LEDs de montaje superficial indicados con el numero 9 en la Fig. 1.1. Son etiquetados desde LED1 a LED8 y su relación con los pines de la FPGA se muestra en la Tabla 3.2.

Periférico	LED1	LED2	LED3	LED4	LED5	LED6	LED7	LED8
Pin	84	86	89	93	98	3	5	7

Cuadro 3.2: Correspondencia entre los pines de la FPGA y los LEDs (periféricos).

Los cátodos de cada LED se conectan a potencial cero y los ánodos se conectan a los pines respectivos de la FPGA mediante un resistencia de 330 Ω. Para encender un determinado LED basta con poner en alto la señal de control.

### Pulsadores (*Tact switches*)

Están disponibles cuatro botones pulsadores como los esquematizados en la Fig. 3.1 y son identificados con el numero 12 en la Fig. 1.1. Los mismos son etiquetados como PBTN1, PBTN2, PBTN3 y PBTN4. Los pines de la FPGA relacionados con éstos periféricos se identifican en la Tabla 3.3. El esquemático detallado del circuito puede encontrarse en el Apéndice B.

Periférico	PBTN1	PBTN2	PBTN3	PBTN4
Pin	77	78	82	83

Cuadro 3.3: Correspondencia entre los pines de la FPGA y los botones.

Cuando se presiona alguno de los botones se genera un valor lógico alto en el pin asociado de la FPGA. No hay circuito antirrebote y éste debe ser tenido en cuenta al momento de escribir el código que luego vaya a cargarse en el dispositivo.

### Llaves DIP

Alternativamente a los pulsadores se puede optar como periféricos de entrada a unas llaves DIP como se muestran en la Fig. 3.2. La ubicación de las llaves en la placa PHR se muestra con el índice numero 10 en la Fig. 1.1. El circuito de éstas llaves puede consultarse en el Apéndice B y los pines de la FPGA que los controlan se revelan en la Tabla 3.4.

Cuando una llave se coloca en la posición de *encendido*, el pin de la FPGA correspondiente se pone a un valor lógico *alto*. En contraposición, si la llave se coloca en la posición *apagado*, la FPGA leerá un valor lógico *bajo*. Al igual que con el caso de los botones pulsadores, no se provee un circuito antirrebote, y debe ser tenido en cuenta en el diseño del sistema.

### Displays de 7 segmentos

La placa PHR cuenta con un display de siete segmentos cuádruple de *ánodo comun* indicado con el índice 13 en la Fig. 1.1. El circuito de conexión entre la FPGA y el display se muestra en la Fig. 3.3 y se resalta la denominación alfabética para los segmentos de cada display.

Ésta misma figura además muestra como ejemplo, el estado de los pines de la FPGA para indicar el numero 3 en la posición 2. Al tener ésta configuración, cada LED encenderá con un *nivel bajo* en el pin correspondiente al segmento pero además necesitará que el ánodo del caracter particular esté energizado. Éste ultimo también es activo por bajo (*active low*).

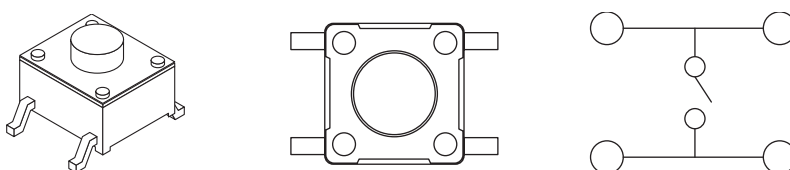


Figura 3.1: *Tact switches*.

Periférico	SW1	SW2	SW3	SW4	SW5	SW6	SW7	SW8
Pin	85	88	90	94	97	4	6	9

Cuadro 3.4: Correspondencia entre los pines de la FPGA y las llaves.

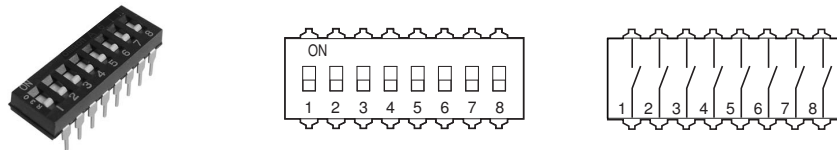


Figura 3.2: DIP switches.

Para dar el efecto deseado de representar cuatro caracteres distintos a la vez, se recurre a la técnica de multiplexación en el dominio del tiempo. La técnica consiste en mostrar uno a uno y ciclicamente cada caracter a una frecuencia lo suficientemente alta para que el ojo humano persiva una imagen completa. Un diagrama temporal de las señales se muestra en la Fig. 3.4.

Si bien el método requiere algo mas de complejidad que la conexión directa a cada segmento de cada display, reduce el número de pines necesarios de  $8 \times 4 = 32$  a  $8 + 4 = 12$  lo cuál representa un significativo ahorro en recursos de hardware.

La Tabla 3.5 muestra los pines de conexión de la FPGA a las distintas entradas del periférico. La Fig 3.5 muestra las representaciones de los caracteres comunes en los displays de siete segmentos. Además de los dígitos, se pueden utilizar los caracteres desde la A a la F para representar números en notación hexadecimal.

Periférico	Caracter1	Caracter2	Caracter3	Caracter4
Pin	59	57	61	60

Segmento	A	B	C	D	E	F	G	DP
Pin	65	64	72	70	68	62	73	71

Cuadro 3.5: Conexión del display de 7 segmentos cuádruple a la FPGA.

### Puerto serie

La placa PHR dispone de un puerto serial RS-232. El conector DB9 hembra/macho se señala con el número 14 en la Fig. 1.1. La placa representa un *Data Communications Equipment* (DCE) y se puede conectar a una computadora personal con un cable serial derecho.

La Fig. 3.6 muestra el circuito de la interfaz entre la FPGA y el conector DB9. Un chip (ST3232) permite una alimentación de entre 3V y 5.5V y utiliza un conjunto de capacitores para alcanzar los niveles de tensión RS-232, garantizando tasas de transferencia de hasta 250 kbps.

El control de flujo por hardware está deshabilitado. Las líneas de DCD, DTR y DSR se conectan entre sí. Análogamente para las señales RTS y CTS.

Los pines de la FPGA que controlan las señales seriales se muestran en la Tabla 3.6.

### Entradas y salidas de propósito general

Para que el usuario realice prototipos, use placas de expansión de terceros o diseñe sus propias placas de expansión, se proveen dos conectores, uno macho y otro hembra, que pueden reconocerse respectivamente con los números 2 y 3 en la Fig. 1.1. Una imagen ampliada se muestra en la Fig. 3.7 indicando además la numeración de los pines. La mayoría de éstos pines están conectados directamente al chip FPGA tal como lo muestra la Tabla 3.7. También se proveen pines de alimentación de 3.3V y GND.

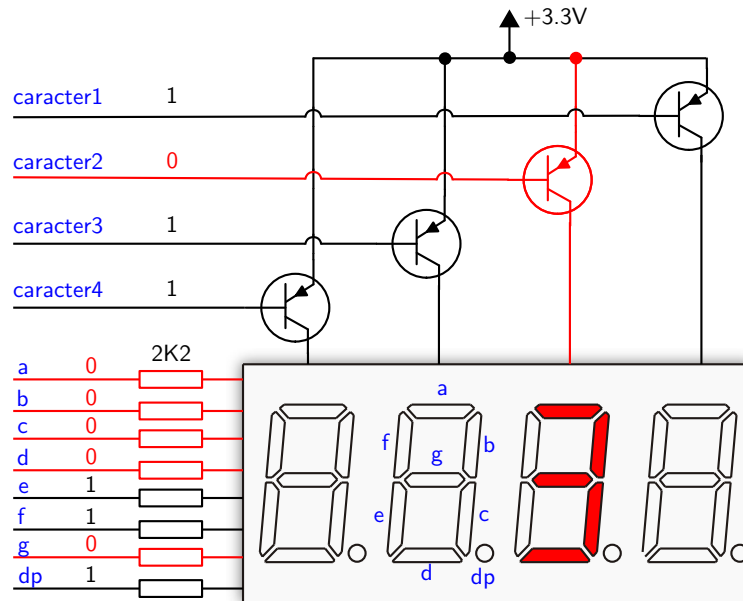


Figura 3.3: Conexión del display de siete segmentos cuádruple.

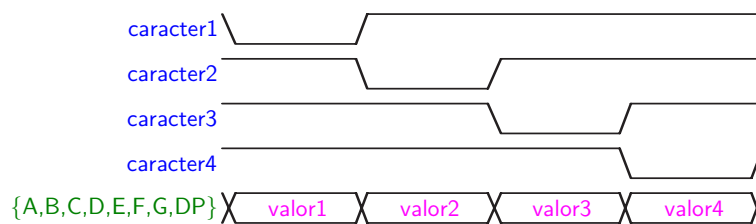


Figura 3.4: Diagrama temporal de la multiplexación.



Figura 3.5: Representación de caracteres comunes en los displays de siete segmentos.

Señal serial	RX	TX
Pin en la FPGA	52	56

Cuadro 3.6: Correspondencia entre los pines de la FPGA y el puerto serie RS-232.

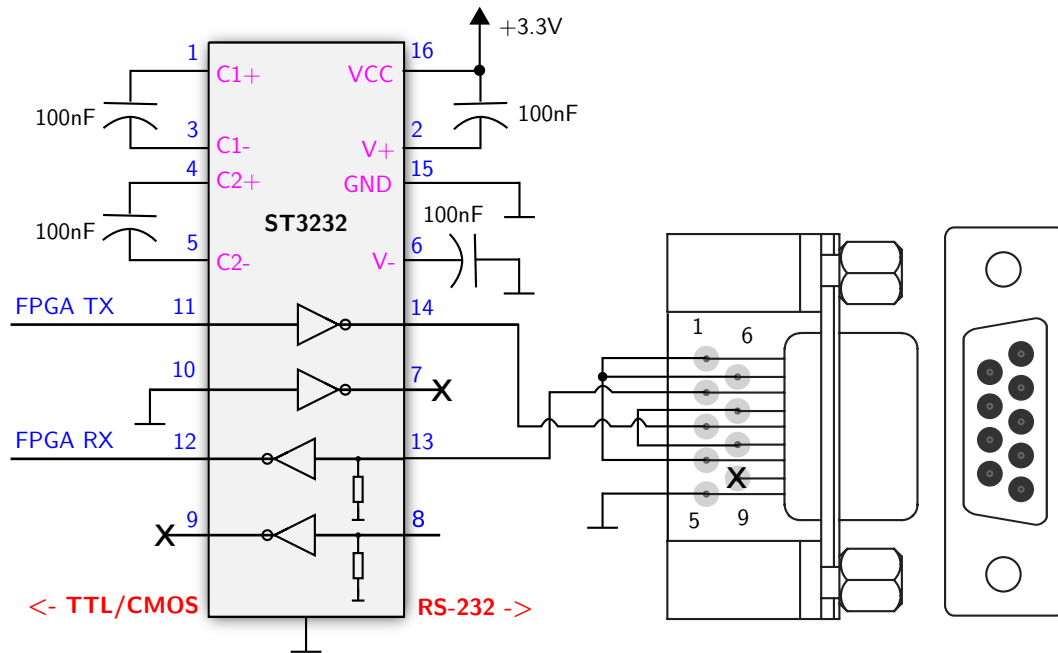


Figura 3.6: Circuito de la interfaz RS-232.

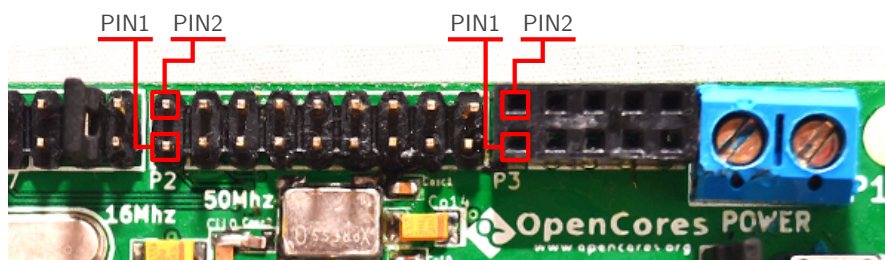


Figura 3.7: Conectores para entradas y salidas de propósito general.

Conector macho			
Conectado a	Pin	Pin	Conectado a
FPGA Pin 39	1	2	FPGA Pin 50
FPGA Pin 37	3	4	FPGA Pin 49
FPGA Pin 36	5	6	FPGA Pin 46
FPGA Pin 35	7	8	FPGA Pin 34
FPGA Pin 33	9	10	FPGA Pin 32
FPGA Pin 31	11	12	FPGA Pin 30
FPGA Pin 29	13	14	+3.3V
FPGA Pin 28	15	16	No conectado
FPGA Pin 27	17	18	GND

Conector hembra			
Conectado a	Pin	Pin	Conectado a
FPGA Pin 21	1	2	FPGA Pin 20
FPGA Pin 19	3	4	FPGA Pin 16
FPGA Pin 15	5	6	FPGA Pin 13
FPGA Pin 12	7	8	+3.3V
FPGA Pin 10	9	10	GND

Cuadro 3.7: Conexión de los pines para las entradas/salidas de propósito general.

## 4. La placa OOCDDLink

Ésta placa es la interfaz que permite la comunicación entre una computadora y la placa PHR. Su característica modular (o de circuito separado de la placa PHR principal) hace que su utilización no quede restringida a la FPGA y posibilita la interacción con los múltiples dispositivos que soportan JTAG.

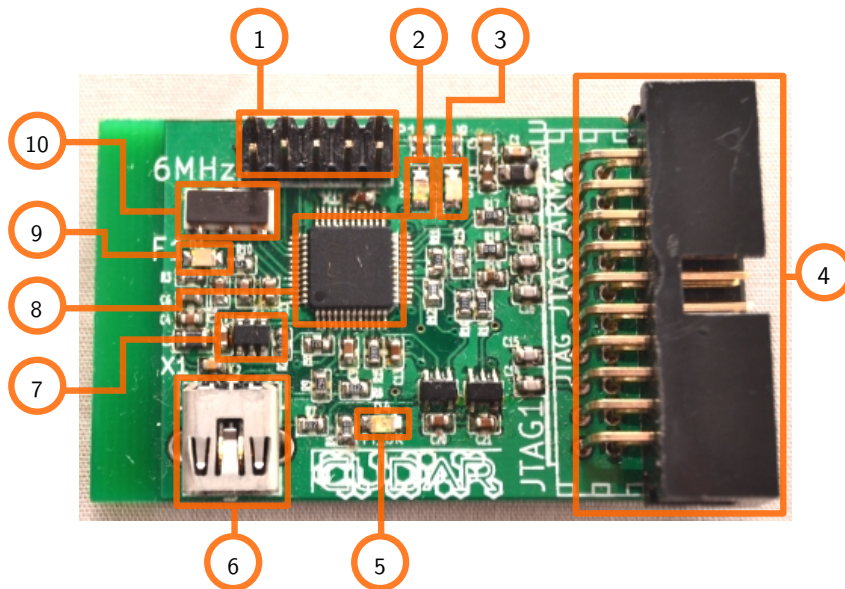


Figura 4.1: Componentes de la placa OOCDDLink. 1) Conector UART, 2) LED RX, 3) LED TX, 4) Conector JTAG, 5) LED FT OK, 6) Conector USB 2.0, 7) EEPROM, 8) FT2232D, 9) LED Alimentación, 10) Oscilador de 6 MHz.

### El chip FT2232D

#### Características

- Cumple con las especificaciones de USB 2.0 Full Speed (12 Mbits/sec).
- Simplifica la comunicación de USB con los protocolos de comunicaciones seriales JTAG, I2C y SPI.
- Tiene una tasa de transferencia de entre 300 y 3 MBaud.
- Desde el sistema operativo, la interfaz puede verse como un *puerto serie virtual* (necesita el driver que provee el fabricante sin costo adicional).
- También están disponibles librerías para facilitar el uso de JTAG, I2C y SPI (compatible con sistemas Windows y Linux).



## 5. La placa S3Power

Tal como se describió en la página 5, la FPGA tiene requerimientos de tensión que deben satisfacerse para que ésta funcione correctamente. Para lograr las especificaciones necesarias se utiliza la placa S3Power, una placa que fué desarrollada por el Intituto Nacional de Tecnología Industrial (INTI) y que está disponible con licencia GNU. Una imagen de la placa se muestra en la Fig. 5.1 en donde también se señalan sus principales elementos.

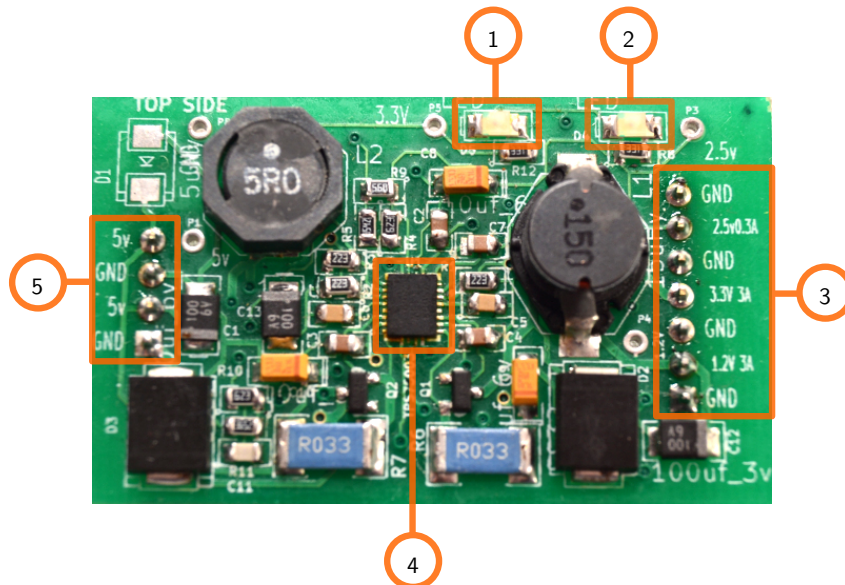


Figura 5.1: Componentes de la placa S3Power. Las distintas partes resaltadas representan: 1) LED de tensión VCCO, 2) LED de tensión VCCAUX, 3) Salida de la placa, 4) Chip TPS75003, 5) Conector de tensión de entrada.

La placa se alimenta por un lado con una tensión de 5V y por la salida es capaz de proporcionar tres valores de tensión regulados:

- 1.25V y 2.5A para la lógica interna.
- 3.3V y 2.5A para los bancos de pines.
- 2.4V y 200mA para el módulo de comunicación JTAG.

El componente principal de la placa es el chip TPS75003 que no solo se encarga de regular las tensiones, sino que además asegura un arranque lo suficientemente suave para las FPGA actuales y sus predecesoras con requerimientos más exigentes. Un diagrama temporal de la repuesta en el arranque se muestra en la Fig. 5.2.

### El chip TPS75003

Éste chip es un regulador de tensiones de Texas Instruments especialmente diseñado para servir de fuente para las familias de FPGA de Xilinx Spartan-3, Spartan-3E y Spartan-3L. Entre las características más importantes se pueden mencionar:

- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95% y otro regulador lineal de 300 mA.

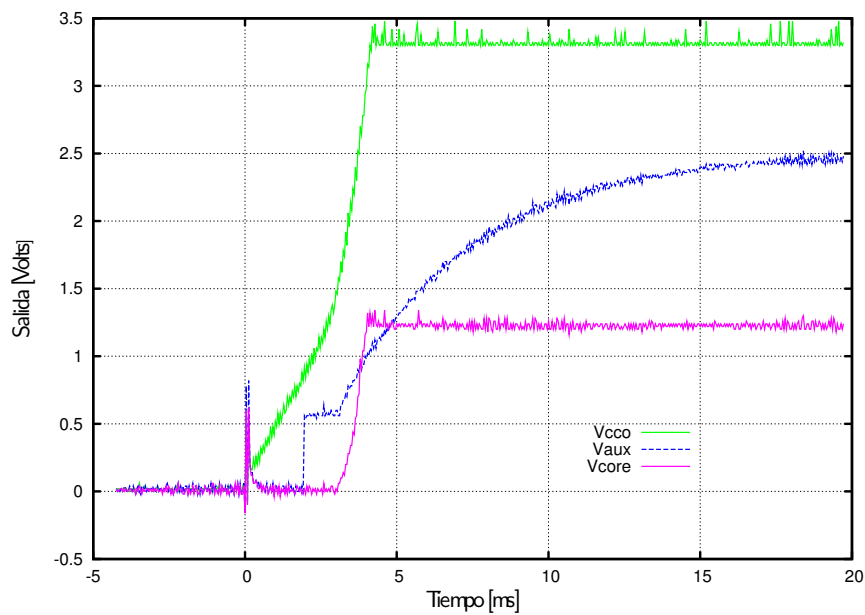


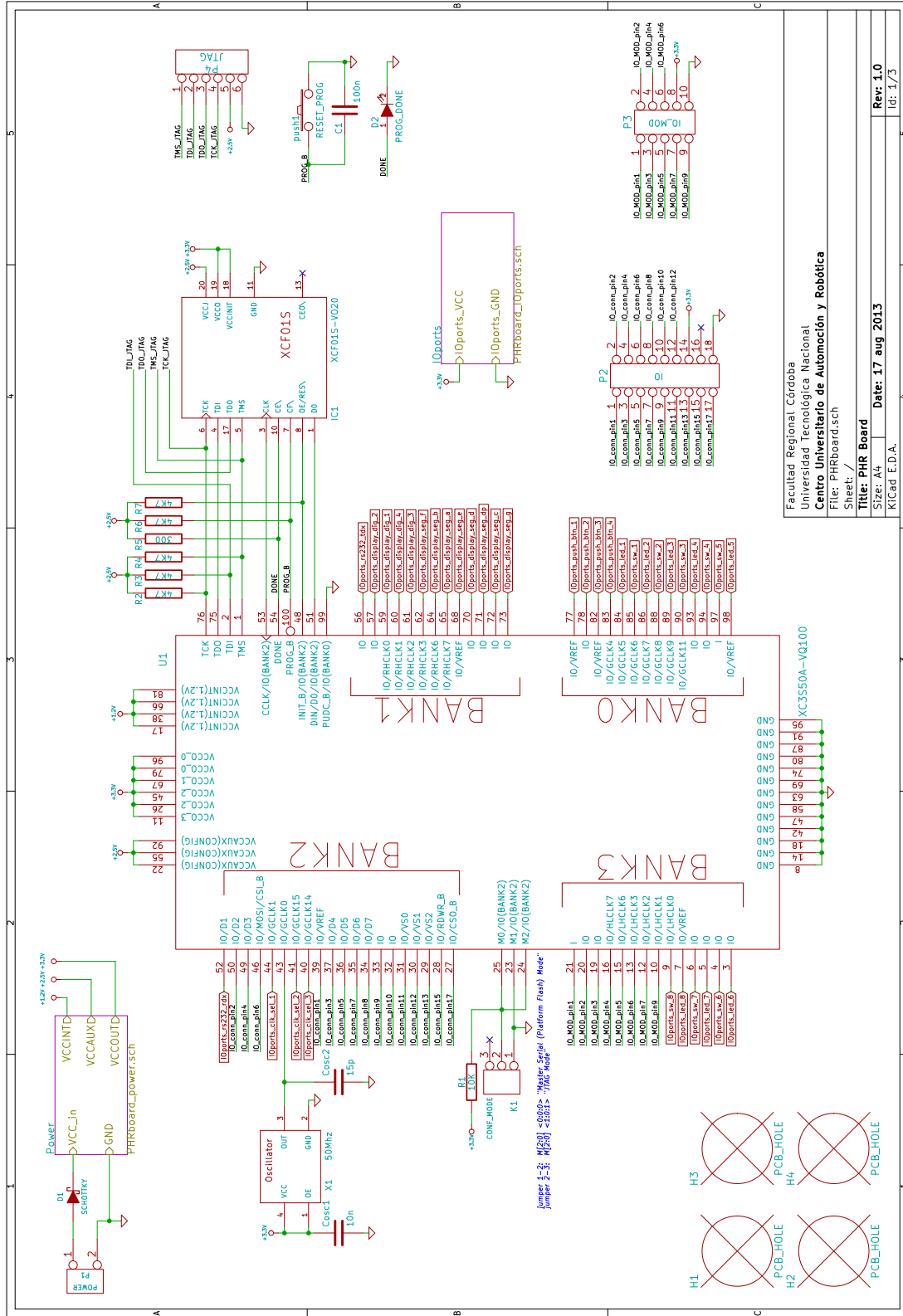
Figura 5.2: Tensiones de salida en el arranque.

- Voltaje de entrada de entre 2.2V y 6.5 V.
- Arranque suave e independiente para cada regulador.
- Tensiones ajustables de 1.2 V a 6.5 V para los convertidores Buck y de 1.0 V a 6.5 V para el convertidor lineal.

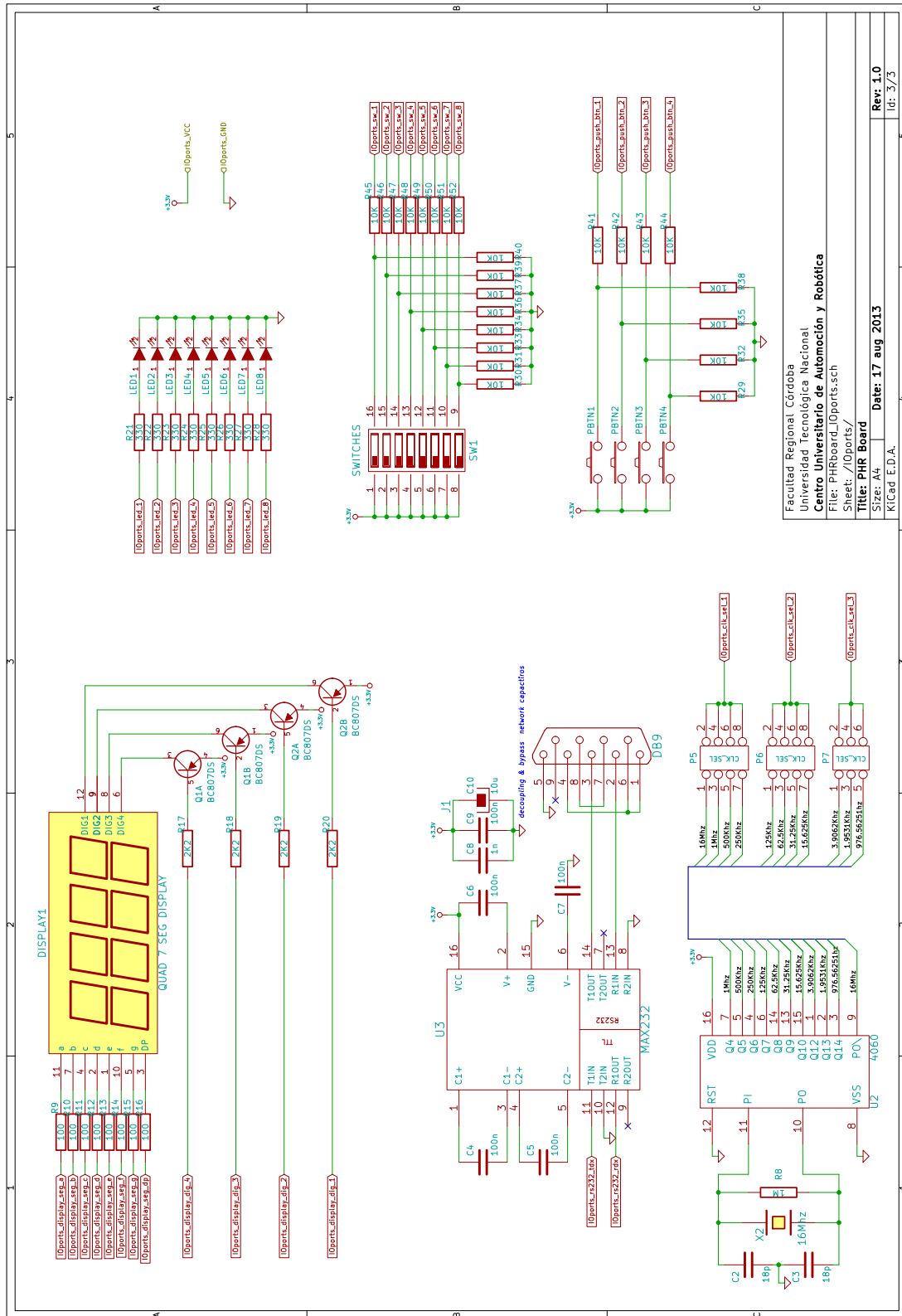
# A. Conexiones de la FPGA

P1	JTAG TMS	P51	JTAG
P2	JTAG TDI	P52	RS232 RX
P3	Periférico LED 6	P53	JTAG
P4	DIP switch - Llave 6	P54	JTAG
P5	Periférico LED 7	P55	VCCAUX (2.5V)
P6	DIP switch - Llave 7	P56	RS232 TX
P7	Periférico LED 8	P57	Display - Carácter 2
P8	Ground	P58	Ground
P9	DIP switch - Llave 8	P59	Display - Carácter 1
P10	GPIO - Con. hembra - Pin 9	P60	Display - Carácter 4
P11	VCCO 3 (3.3V)	P61	Display - Carácter 3
P12	GPIO - Con. hembra - Pin 7	P62	Display - Segmento F
P13	GPIO - Con. hembra - Pin 6	P63	Ground
P14	Ground	P64	Display - Segmento B
P15	GPIO - Con. hembra - Pin 5	P65	Display - Segmento A
P16	GPIO - Con. hembra - Pin 4	P66	VCCINT (1.2V)
P17	VCCINT (1.2V)	P67	VCCO 1 (3.3V)
P18	Ground	P68	Display - Segmento E
P19	GPIO - Con. hembra - Pin 3	P69	Ground
P20	GPIO - Con. hembra - Pin 2	P70	Display - Segmento D
P21	GPIO - Con. hembra - Pin 1	P71	Display - Segmento DP
P22	VCCAUX (2.5V)	P72	Display - Segmento C
P23	JTAG	P73	Display - Segmento G
P24	JTAG	P74	Ground
P25	JTAG	P75	JTAG TDO
P26	VCCO 2 (3.3V)	P76	JTAG TCK
P27	GPIO - Con. macho - Pin 17	P77	Tact switch 1
P28	GPIO - Con. macho - Pin 15	P78	Tact switch 2
P29	GPIO - Con. macho - Pin 13	P79	VCCO 0 (3.3V)
P30	GPIO - Con. macho - Pin 12	P80	Ground
P31	GPIO - Con. macho - Pin 11	P81	VCCINT (1.2V)
P32	GPIO - Con. macho - Pin 10	P82	Tact switch 3
P33	GPIO - Con. macho - Pin 9	P83	Tact switch 4
P34	GPIO - Con. macho - Pin 8	P84	Periférico LED 1
P35	GPIO - Con. macho - Pin 7	P85	DIP switch - Llave 1
P36	GPIO - Con. macho - Pin 5	P86	Periférico LED 2
P37	GPIO - Con. macho - Pin 3	P87	Ground
P38	VCCINT (1.2V)	P88	DIP switch - Llave 2
P39	GPIO - Con. macho - Pin 1	P89	Periférico LED 3
P40	Clock seleccionable 3	P90	DIP switch - Llave 3
P41	Clock seleccionable 2	P91	Ground
P42	Ground	P92	VCCAUX (2.5V)
P43	Clock 50MHz	P93	Periférico LED 4
P44	Clock seleccionable 1	P94	DIP switch - Llave 4
P45	VCCO 2 (3.3V)	P95	Ground
P46	GPIO - Con. macho - Pin 6	P96	VCCO 0 (3.3V)
P47	Ground	P97	DIP switch - Llave 5
P48	JTAG	P98	Periférico LED 5
P49	GPIO - Con. macho - Pin 4	P99	JTAG
P50	GPIO - Con. macho - Pin 2	P100	JTAG

# B. Esquemáticos



Facultad Regional Córdoba  
 Universidad Tecnológica Nacional  
**Centro Universitario de Automoción y Robótica**  
 File: PHRBoard.sch  
 Sheet: /  
**Title: PHR Board**  
 Sizer: A4 Date: 17 aug 2013  
 KICad E.D.A. Rev: 1.0  
 Id: 17/3



Facultad Regional Córdoba  
 Universidad Tecnológica Nacional  
**Centro Universitario de Automoción y Robótica**  
 File: PHRBoard\_IOPorts.sch  
 Sheet: /IOPorts/  
**Title: PHR Board**  
 Size: A4 Date: 17 aug 2013 Rev: 1.0  
 R/Cad E.D.A. Id: 3/3

## ***C. Creacion de UCF en texto plano***

---

FIN