

# Plataforma de Hardware Reconfigurable para el Diseño de Sistemas Digitales

Luis Guanuco, Sergio Olmedo, Maximiliano Quinteros

Centro Universitario de Desarrollo en Automoción y Robótica  
Universidad Tecnológica Nacional, Facultad Regional Córdoba

V Congreso de Microelectrónica Aplicada  
14 de Mayo, 2014



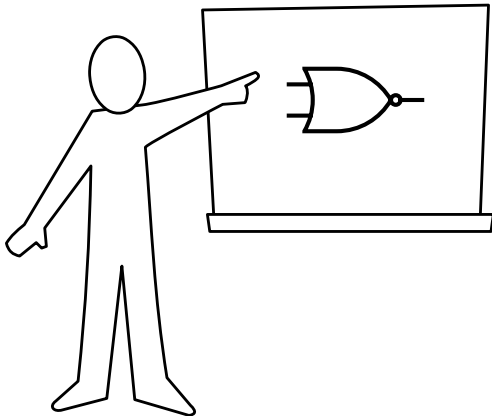
# Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCdLink
- 6 Configuración de la FPGA

# Contenidos

- 1 **Introducción**
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCDFlink
- 6 Configuración de la FPGA

# Una breve introducción





# Contexto del desarrollo y oportunidades

- Necesidad de recursos educativos (HW & SW)
  - Nuevas tecnologías: Adquirir plataformas comerciales
  - Desarrollos a medida: Diseño de plataformas locales

# Contexto del desarrollo y oportunidades

- Necesidad de recursos educativos (HW & SW)
  - Nuevas tecnologías: Adquirir plataformas comerciales
  - Desarrollos a medida: Diseño de plataformas locales
- Experiencia en Ingeniería Electrónica
  - Desarrollo de HW: Plataforma educativa basada en CPLD
  - Creación de Cátedra Electiva: Técnicas Digitales IV

# Contexto del desarrollo y oportunidades

- Necesidad de recursos educativos (HW & SW)
  - Nuevas tecnologías: Adquirir plataformas comerciales
  - Desarrollos a medida: Diseño de plataformas locales
- Experiencia en Ingeniería Electrónica
  - Desarrollo de HW: Plataforma educativa basada en CPLD
  - Creación de Cátedra Electiva: Técnicas Digitales IV
- Oportunidades
  - Desarrollo de recursos de HW con herramientas de *Software Libre*
  - Articulación de laboratorio, centros I+D e industria para el desarrollo de recursos de HW locales

# Características comunes de las plataformas

- El dispositivo lógico programable central es una FPGA
- Poseen Memoria de configuración de la FPGA
- El acceso al dispositivo es a través de JTAG
- Disponen de algún software para interactuar con la plataforma desde una computadora
- Tienen dos perfiles de diseño:
  - Para la implementación de sistemas lógicos generales
  - Orientado a un área específica

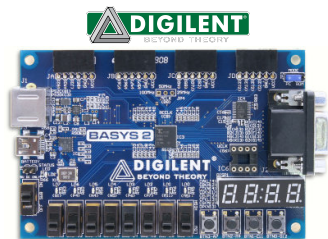
# Recursos de hardware vs. Nivel de enseñanza

## Consideración

En función del perfil del usuario de la plataforma se definen los dispositivos que se utilizarán

Nivel	Llaves/pulsadores Diodos LED	ADC&DAC/SPI Display LCD/VGA	USB/ETH HDMI
Inicial	✓		
Medio	✓	✓	
Avanzado	✓	✓	✓

# Plataformas comerciales



- Xilinx Spartan 3-E FPGA, 100K gates
- Multiplicadores, RAM y 500MHz+
- Puerto USB 2 full-speed (configuración y transferencia)
- Memoria de Configuración Flash PROM XCF02
- 8 LEDs, display 7-seg de 4-dig, 4 pulsadores, 8 llaves, puerto PS/2 y VGA

# Plataformas comerciales



- Cyclone IV EP4CE22F17C6N, 22,320 LEs
- Multiplicadores, RAM y 4 PLLs
- Memoria de configuración EPCS16, SDRAM 32MB, EEPROM 2Kb (I2C)
- 8 LEDs, 2 pulsadores,
- Sensores: Acelerómetro de 3 ejes ADI ADXL345, ADC ADC128S022 de 12-bits/8-canales
- Alimentación: USB (5 V), cable DC 5-V

# Plataformas comerciales



- Spartan-6 XC6SLX9-2CSG324C FPGA
- Memoria de configuración SPI flash 128Mb, SDRAM 64MB
- 10/100 Ethernet PHY
- Sistema de alimentación (3-rail) con indicador de estado
- 4 LEDs, llave DIP 4-bit



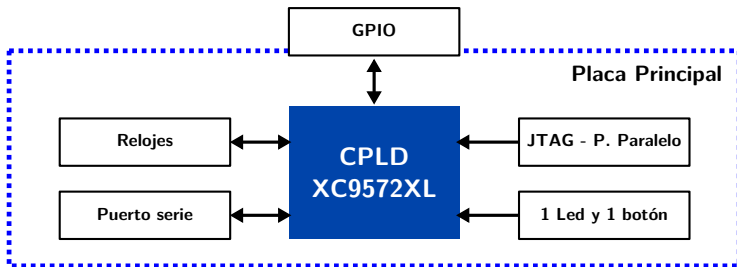
# Recursos básicos de las plataformas

- FPGA
- Memoria de configuración de la FPGA
- Periféricos básicos (LEDs, display, pulsadores, llaves, etc.)
- Puerto USB
- Puerto para módulos externos
- Puerto para propósitos generales
- Varias señales de reloj (clock)
- VGA
- PS/2
- Memorias ROM/RAM
- ADC/DAC

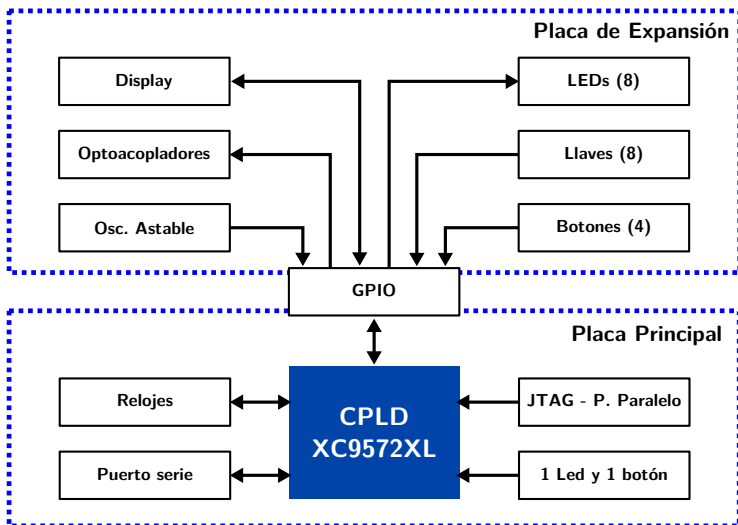
# Estado del arte de las FPGA en Argentina

En nuestra región las tecnologías PLD se encuentran integradas en varias líneas de investigación y desarrollos hace algunos años. Instituciones gubernamentales de defensa, aeroespaciales, comunicaciones están implementando dispositivos como FPGAs y CPLDs en sus sistemas electrónicos. Además existe una constante actualización por parte de las instituciones académicas en los programas analíticos de las carreras relacionadas a los sistemas embebidos.

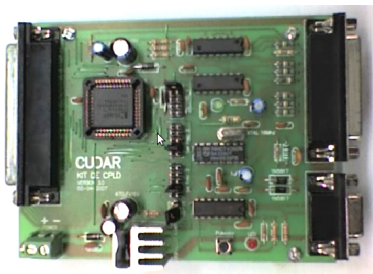
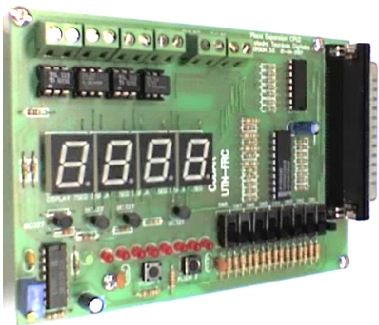
# Kit de Desarrollo educativo con CPLD



# Kit de Desarrollo educativo con CPLD



# Kit de Desarrollo educativo con CPLD



FPGA Libre  




Hosted by:

**sourceforge**

#### ● **Introducción**

- ¿Qué es una FPGA?
- ¿Cómo nace el proyecto?
- Objetivo
- ¿Para qué dispositivos y plataformas?
- Componentes del ciclo de desarrollo de FPGALibre
- El código HDL
- Edición del código
- Simulación
- Síntesis
- Hardware y FPGA

## Introducción

Esta página es una introducción al proyecto y en ella se explican conceptos básicos sobre las herramientas usadas, modificadas y/o creadas por el mismo.

En las otras páginas se omiten los detalles volcados en esta introducción por lo que esta página sirve como aclaración para muchos aspectos encontrados en otras páginas del proyecto.

- **¿Qué es una FPGA?**
- **¿Cómo nace el proyecto?**
- **Objetivo**
- **¿Para qué dispositivos y plataformas?**
- **Componentes del ciclo de desarrollo de FPGALibre**
- **El código HDL**
- **Edición del código**
- **Simulación**
- **Síntesis**
- **Hardware y FPGA**

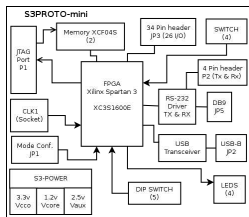
**¿Qué es una FPGA?:**

# S3PROTO

## Descripción

La tarjeta S3PROTO-MINI es una plataforma básica y simple para desarrollo con FPGA y forma parte un proyecto de hardware libre que tiene por objetivo facilitar y fomentar la utilización de dispositivos FPGA en nuevos productos dentro del país.

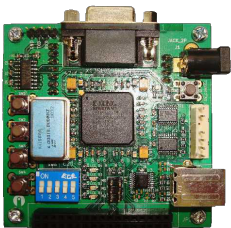
# S3PROTO



- Dispositivo FPGA capaz de alojar diseños digitales de mediana y alta complejidad (1600K compuertas).
- Desarrollada con herramientas de software libre (Kicad).
- PCB de 4 capas fabricado por una empresa nacional.
- Chip BGA soldado en el laboratorio con equipo infrarrojo accesible.
- Información de desarrollo y archivos de diseño disponibles para libre uso, réplica y modificación.



# S3PROTO



- Dispositivo FPGA Xilinx Spartan 3E (XC3S1600E) de 33.192 celdas lógicas.
- 2 Memorias de configuración XCF04S (4+4 Mbit).
- USB Transceiver TUSB1106 de 12 Mb/s (Full Speed) con conector tipo B.
- 2 Puertos seriales RS232 de hasta 300Kbps (ST3232). Uno con conector DB-9.
- 4 Pulsadores.
- 5 Dip switch.
- 4 LEDs.
- 1 Puerto JTAG.
- 26 Pines de I/O

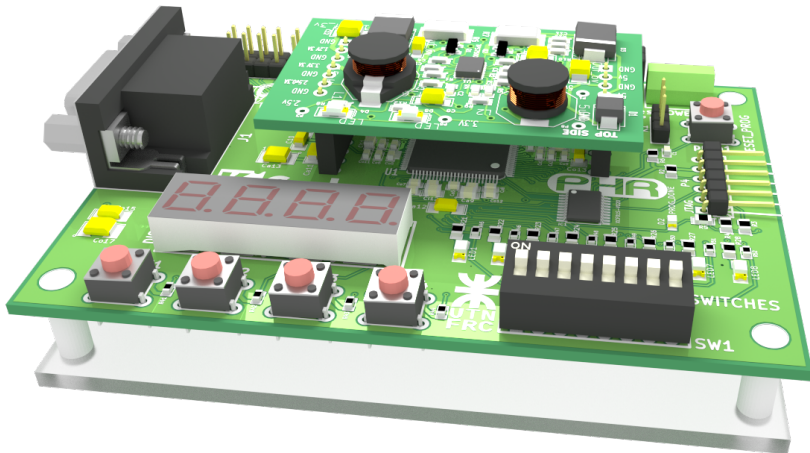
# S3PROTO



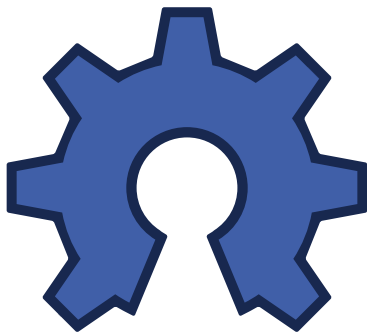
Módulo de alimentación para las familias Spartan 3. Está basado en el chip TPS75003 y sigue los mismos criterios que la tarjeta S3PROTO-MINI. Se trata de un impreso doble faz, de 3x5 cm que se acopla a la parte posterior de la S3PROTO- MINI para proveerla de las tensiones necesarias:

- 1,25 V / 2,5 A ( $V_{core}$ )
- 3,3 V / 2,5 A ( $V_{cco}$ )
- 2,4 V / 200 mA ( $V_{aux}$ )

# Plataforma de Hardware Reconfigurable



# Hardware libre

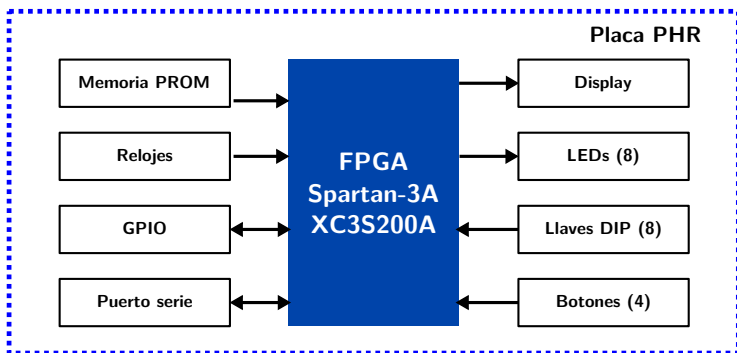


open hardware

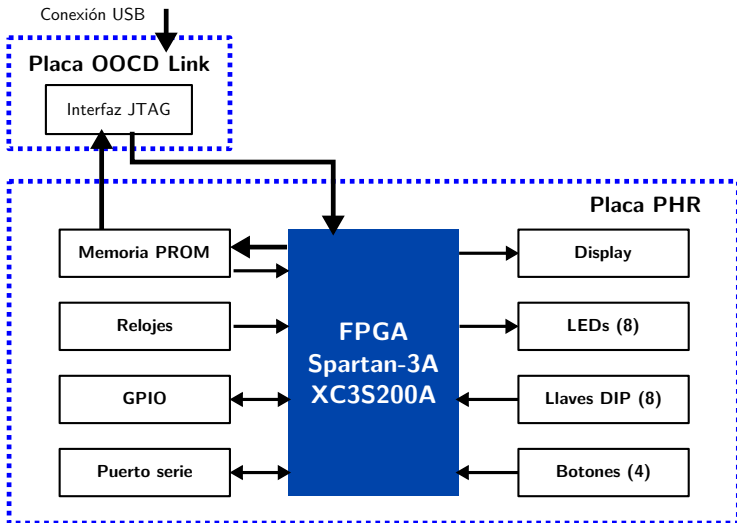
# Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware**
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCdLink
- 6 Configuración de la FPGA

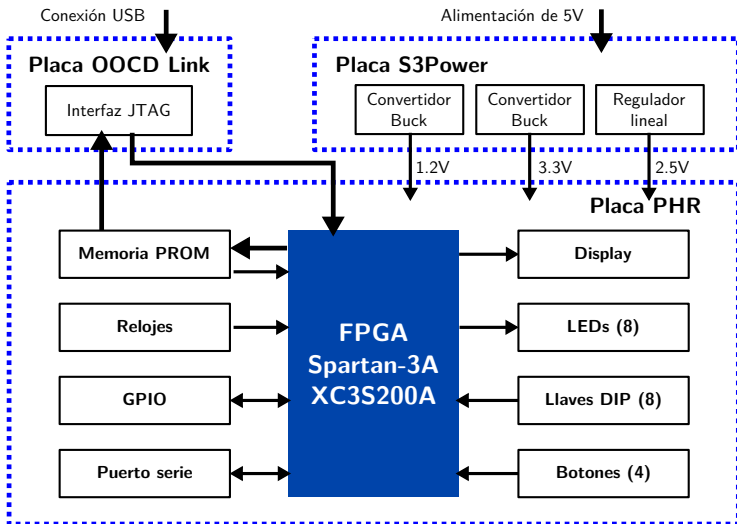
# Diagrama de bloques del Hardware



# Diagrama de bloques del Hardware



# Diagrama de bloques del Hardware

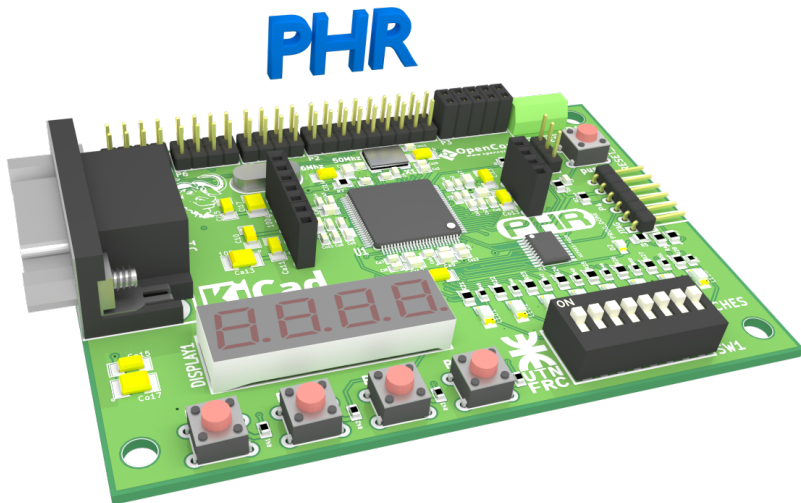




# Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR**
- 4 Placa S3Power
- 5 Placa OOCdLink
- 6 Configuración de la FPGA

# Placa PHR



# Características

FPGA: Xilinx Spartan-3A XC3S200A (VQG100)

# Características

FPGA: Xilinx Spartan-3A XC3S200A (VQG100)

Memoria PROM: Xilinx XCF02S

# Características

FPGA: Xilinx Spartan-3A XC3S200A (VQG100)

Memoria PROM: Xilinx XCF02S

Voltaje entrada: 5V

# Características

**FPGA:** Xilinx Spartan-3A XC3S200A (VQG100)

**Memoria PROM:** Xilinx XCF02S

**Voltaje entrada:** 5V

**Relojes:** Un reloj fijo y tres seleccionables:

- 1 50 MHz
- 2 16 MHz, 1 MHz, 500 kHz y 250 kHz
- 3 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz
- 4 3.9062 kHz, 1.9531 kHz, 976,56251 Hz

# Características

**FPGA:** Xilinx Spartan-3A XC3S200A (VQG100)

**Memoria PROM:** Xilinx XCF02S

**Voltaje entrada:** 5V

**Relojes:** Un reloj fijo y tres seleccionables:

- 1 50 MHz
- 2 16 MHz, 1 MHz, 500 kHz y 250 kHz
- 3 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz
- 4 3.9062 kHz, 1.9531 kHz, 976,56251 Hz

**GPIO:** 28 pines en total

# El chip FPGA (XC3S200A)

Número de compuertas: 200K

Celdas lógicas equivalentes: 4032

CLBs: 448

Bits de RAM distribuida: 28K

Bits de Bloques de RAM: 288K

Multiplicadores dedicados: 16

DCMs: 4

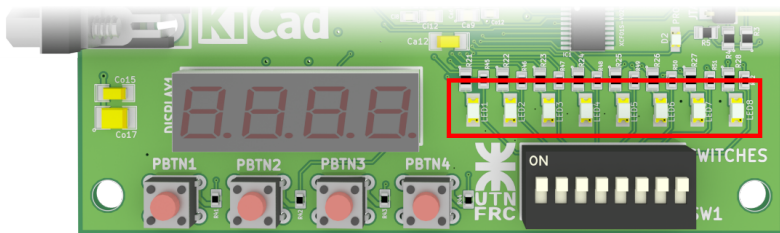
Máximo número de E/S: 248

E/S pares diferenciales máximo: 112



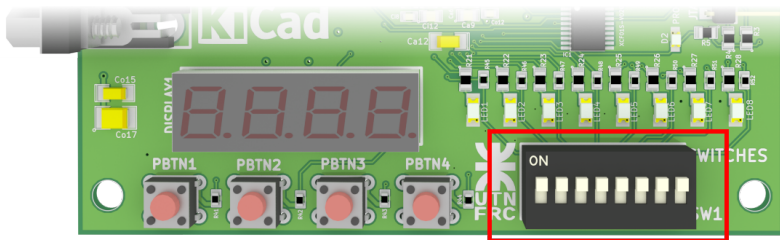
# Periféricos

- 8 LEDs
- 8 llaves (*DIP switch*)
- 4 pulsadores
- Display de 7 segmentos cuádruple
- Puerto serie



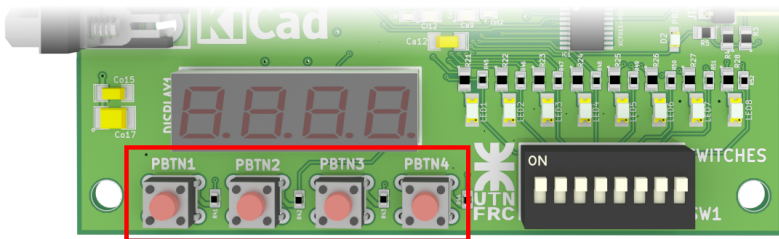
# Periféricos

- 8 LEDs
- **8 llaves (DIP switch)**
- 4 pulsadores
- Display de 7 segmentos cuádruple
- Puerto serie



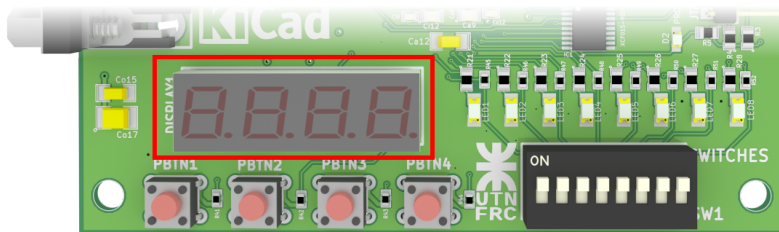
# Periféricos

- 8 LEDs
- 8 llaves (*DIP switch*)
- **4 pulsadores**
- Display de 7 segmentos cuádruple
- Puerto serie



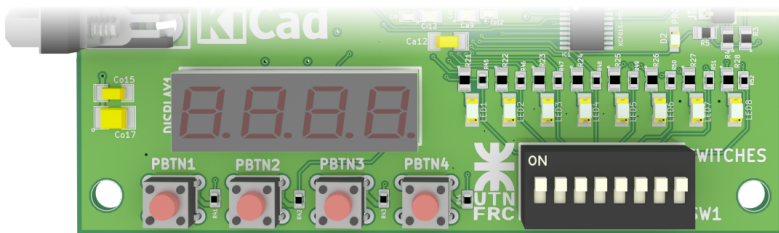
# Periféricos

- 8 LEDs
- 8 llaves (*DIP switch*)
- 4 pulsadores
- **Display de 7 segmentos cuádruple**
- Puerto serie

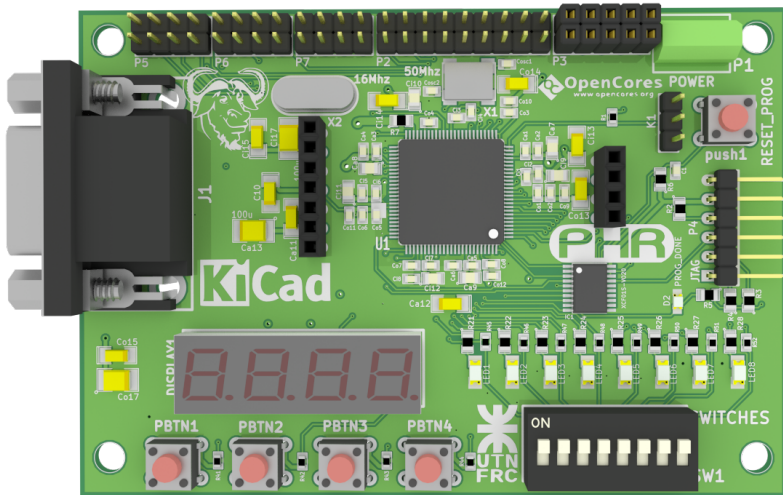


# Periféricos

- 8 LEDs
- 8 llaves (*DIP switch*)
- 4 pulsadores
- Display de 7 segmentos cuádruple
- **Puerto serie**



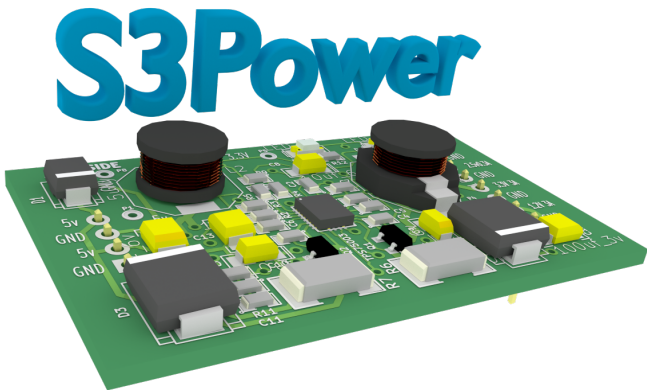
# Periféricos



# Contenidos

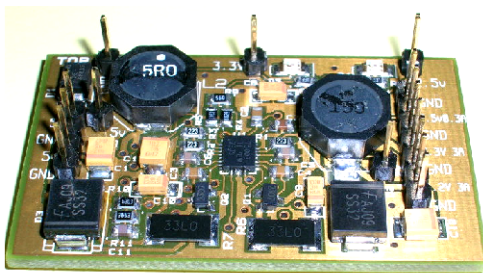
- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power**
- 5 Placa OOCDDLink
- 6 Configuración de la FPGA

# Placa S3Power





# Desarrollo del INTI



Christian Huy y Diego Brengi  
*Instituto Nacional de Tecnología Industrial*

# Voltajes de alimentación

<b>Entrada</b>	<b>Alimenta a</b>	<b>Tensión nominal</b>
VCCINT	Núcleo interno (CLBs, bloques de RAM)	1.2V
VCCAUX	DCMs, drivers diferenciales, pines de configuración dedicados y la interfaz JTAG	2.5V o 3.3V
VCCO0	Banco de E/S número 0	3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V
VCCO1	Banco de E/S número 1	3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V
VCCO2	Banco de E/S número 2	3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V
VCCO3	Banco de E/S número 3	3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V

# Circuito POR

El circuito *Power On RESET* verifica:

- VCCINT
- VCCAUX
- VCCO2

# Circuito POR

El circuito *Power On RESET* verifica:

- VCCINT
- VCCAUX
- VCCO2

Tiempos de encendido:

Símbolo	Rampa de	Min	Max
VCCINTR	VCCINT	0.2 ms	100 ms
VCCAUXR	VCCAUX	0.2 ms	100 ms
VCCO2R	VCCO del Banco 2	0.2 ms	100 ms

# Voltajes elegidos

- 1.2V y 2.5A para la lógica interna.
- 3.3V y 2.5A para los bancos de pines.
- 2.5V y 200mA para el módulo de comunicación JTAG.

# El chip TPS75003

- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95 % y otro regulador lineal de 300 mA.

# El chip TPS75003

- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95 % y otro regulador lineal de 300 mA.
- Voltaje de entrada de entre 2.2V y 6.5 V.

# El chip TPS75003

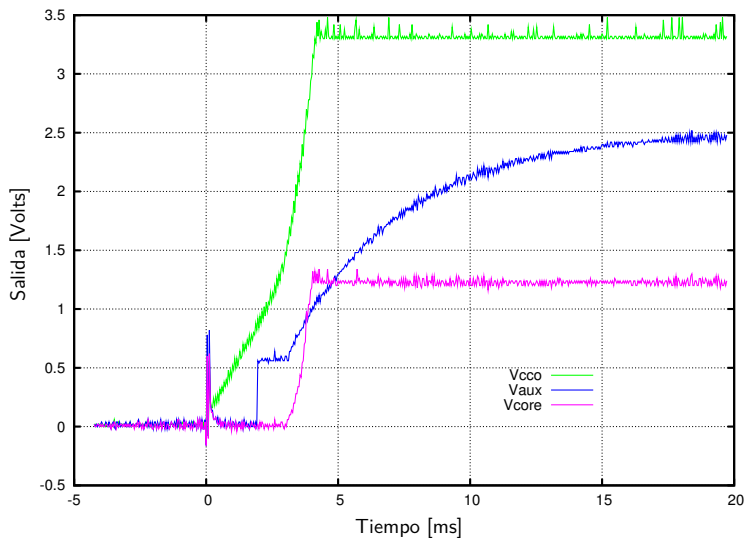
- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95 % y otro regulador lineal de 300 mA.
- Voltaje de entrada de entre 2.2V y 6.5 V.
- Arranque suave e independiente para cada regulador.



# El chip TPS75003

- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95 % y otro regulador lineal de 300 mA.
- Voltaje de entrada de entre 2.2V y 6.5 V.
- Arranque suave e independiente para cada regulador.
- Tensiones ajustables de 1.2 V a 6.5 V para los convertidores Buck y de 1.0 V a 6.5 V para el convertidor lineal.

# Arranque

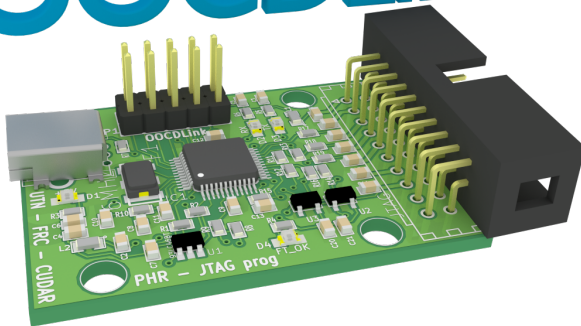


# Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCdLink**
- 6 Configuración de la FPGA

# Placa OOCDDLink

# OOCDDLink



# El chip FT2232D

- Cumple con USB 2.0 Full Speed (12 Mbits/sec)

# El chip FT2232D

- Cumple con USB 2.0 Full Speed (12 Mbits/sec)
- Tiene una tasa de transferencia de entre 300 y 3 MBaud

# El chip FT2232D

- Cumple con USB 2.0 Full Speed (12 Mbits/sec)
- Tiene una tasa de transferencia de entre 300 y 3 MBaud
- Forma dos canales de comunicación

# El chip FT2232D

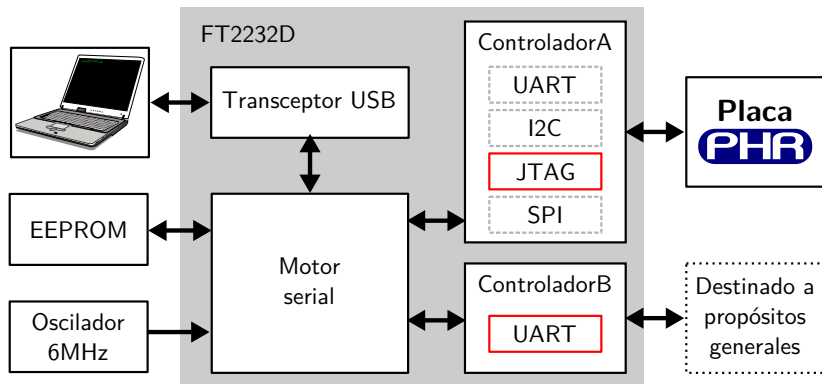
- Cumple con USB 2.0 Full Speed (12 Mbits/sec)
- Tiene una tasa de transferencia de entre 300 y 3 MBaud
- Forma dos canales de comunicación
- Desde el SO, la interfaz puede verse como un *puerto serie virtual*



# El chip FT2232D

- Cumple con USB 2.0 Full Speed (12 Mbits/sec)
- Tiene una tasa de transferencia de entre 300 y 3 MBaud
- Forma dos canales de comunicación
- Desde el SO, la interfaz puede verse como un *puerto serie virtual*
- Existen librerías para implementar JTAG, I2C y SPI

# El chip FT2232D



# Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCDFlink
- 6 Configuración de la FPGA**

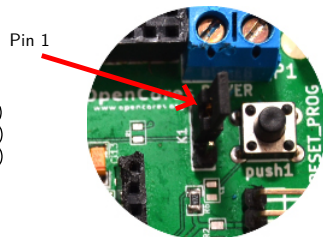
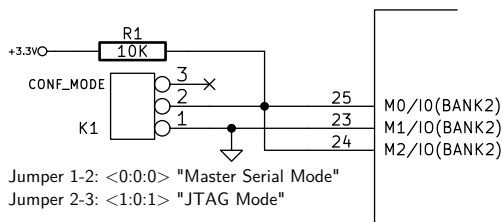
## Modos de configuración (familia Spartan-3A)

- *Master Serial* desde una memoria PROM Flash de Xilinx
- *Serial Peripheral Interface* (SPI) desde una memoria Flash SPI
- *Byte Peripheral Interface* (BPI) desde una memoria NOR Flash
- *Slave Serial*, típicamente cargada desde un procesador
- *Slave Parallel*, típicamente cargada desde un procesador
- *Boundary Scan* (JTAG), típicamente cargada desde un procesador

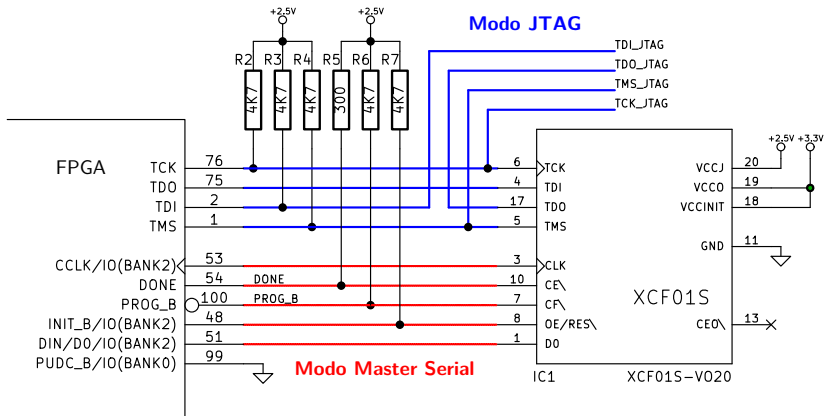
## Modos de configuración (familia Spartan-3A)

- **Master Serial desde una memoria PROM Flash de Xilinx**
- *Serial Peripheral Interface (SPI)* desde una memoria Flash SPI
- *Byte Peripheral Interface (BPI)* desde una memoria NOR Flash
- *Slave Serial*, típicamente cargada desde un procesador
- *Slave Parallel*, típicamente cargada desde un procesador
- **Boundary Scan (JTAG), típicamente cargada desde un procesador**

# Selección de los modos de configuración



# Circuito de configuración



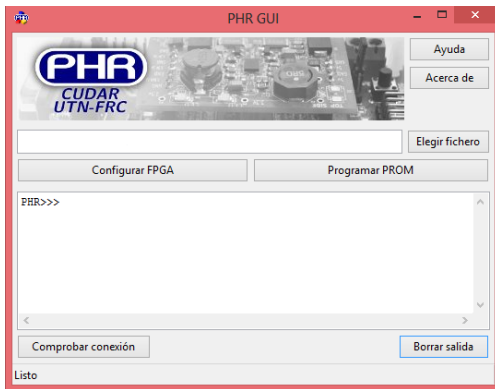
# xc3sprog

```
$ xc3sprog -c ftdi -L -j -v
XC3SPROG (c) 2004-2011 xc3sprog project $Rev: 691 $ OS: Windows
Free software: If you contribute nothing, expect nothing!
Feedback on success/failure/enhancement requests:
  http://sourceforge.net/mail/?group_id=170565
Check Sourceforge for updates:
  http://sourceforge.net/projects/xc3sprog/develop

Using built-in device list
Using built-in cable list
Cable ftdi type ftdi VID 0x0403 PID 0x6010 dbus data 00 enable 0b cbus
Using FTD2XX, Using JTAG frequency 1200000
JTAG chainpos: 0 Device IDCODE = 0x02218093 Desc: XC3S200A
JTAG loc.: 0 IDCODE: 0x02218093 Desc: XC3S200A Rev: A IR length: 6
JTAG loc.: 1 IDCODE: 0xd5045093 Desc: XCF02S Rev: M IR length: 8
USB transactions: Write 6 read 4 retries 0
```



## xc3sprog



xc3sprog



# PHR GUI





# Otros proyectos Open Hardware

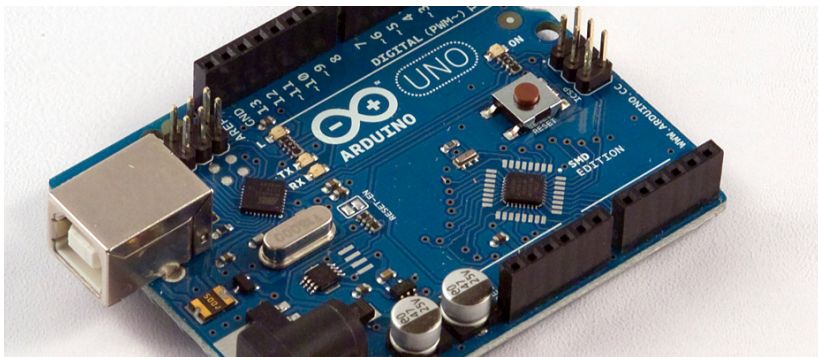
- OpenRISC

# Otros proyectos Open Hardware

- OpenRISC
- LEON

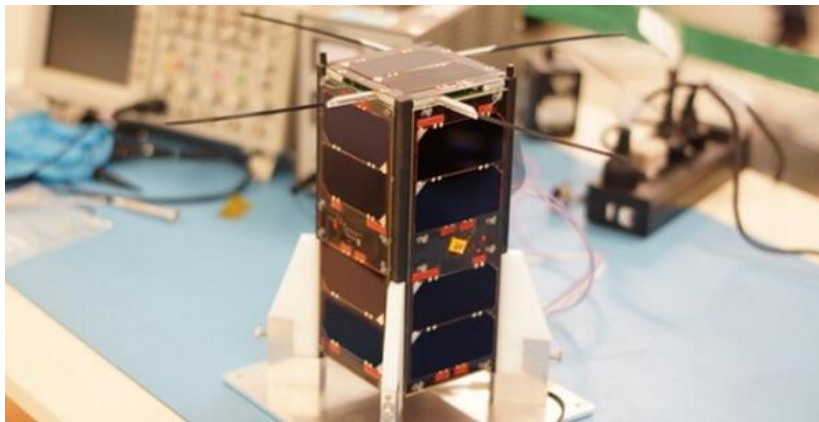
# Otros proyectos Open Hardware

- Arduino



# Otros proyectos Open Hardware

- CUBEBUG-1





Welcome back  
Quinteros,  
Maximiliano.

My account

Logout

Language:



Browse

- [Projects](#)
- [Forums](#)
- [About](#)
- [HowTo/FAQ](#)
- [Misc](#)
- [Partners](#)
- [Shop](#)

PCB - Prototypes

Calculate here...

Tools

Google™ Custom Search

Search

# http://opencores.org/project,phr

Plataforma de Hardware Reconfigurable :: Overview

Overview

News

Descargas

Downloads

Edit pages

Add a block

Define block order

Help

Request Implementation Statistics

## Details

Name: phr  
Created: Mar 29, 2012  
Updated: Apr 14, 2014  
SVN Updated: May 6, 2014  
SVN: [Browse](#)  
Latest version: [download](#)  
Statistics: [View](#)

## Other project properties



Category: [Prototype board](#)  
Language: [Other](#)  
Development status: [Mature](#)  
Additional info: none  
WishBone Compliant: No  
License: GPL

## Description



La **Plataforma de Hardware Reconfigurable** persigue el fin de facilitar la enseñanza de sistemas digitales y fabricación de prototipos basados en FPGA. Utiliza el chip XC3S200A de Xilinx y posee los periféricos clásicos utilizados en los primeros cursos de electrónica, pero además deja disponibles para el usuario, conectores con acceso directo a los pines de la FPGA.

## Características

- **FPGA:** Xilinx Spartan-3A XC3S200A (encapsulado VQG100).
- **Memoria PROM:** Xilinx XCF02S.
- **Voltaje de entrada:** 5V.

## Project maintainers

- [Guanuco, Luis Alberto](#)
- [Maximo](#)
- [sergio, Olmedo](#)
- [Pampamatus](#)
- [Passetti, Leandro](#)
- [Quinteros, Maximiliano](#)
- Add maintainer



# ¿Preguntas?

