

# Plataforma de Hardware Reconfigurable

Luis Alberto Guanuco (lguanuco@electronica.frc.utn.edu.ar)  
Sergio Daniel Olmedo (solmedo@scdt.frc.utn.edu.ar)  
Alexis Maximiliano Quinteros (50214@electronica.frc.utn.edu.ar)

## Introducción

El proyecto Plataforma de Hardware Reconfigurable tiene como objetivo principal desarrollar recursos académicos para la difusión y actualización tecnológica relacionado al área digital a través de Dispositivos Lógicos Programables (PLDs). El desarrollo comprende el diseño de hardware y software que se publican bajo licencias libres.

## Características de la PHR

**FPGA:** Xilinx Spartan-3A XC3S200A (encapsulado VQG100).

**Memoria PROM:** Xilinx XCF02S.

**Voltaje de entrada:** 5V.

**Relojes:** Un reloj fijo y tres seleccionables:

**Clock 0:** 50 MHz.

**Clock 1:** 16 MHz, 1 MHz, 500 kHz y 250 kHz.

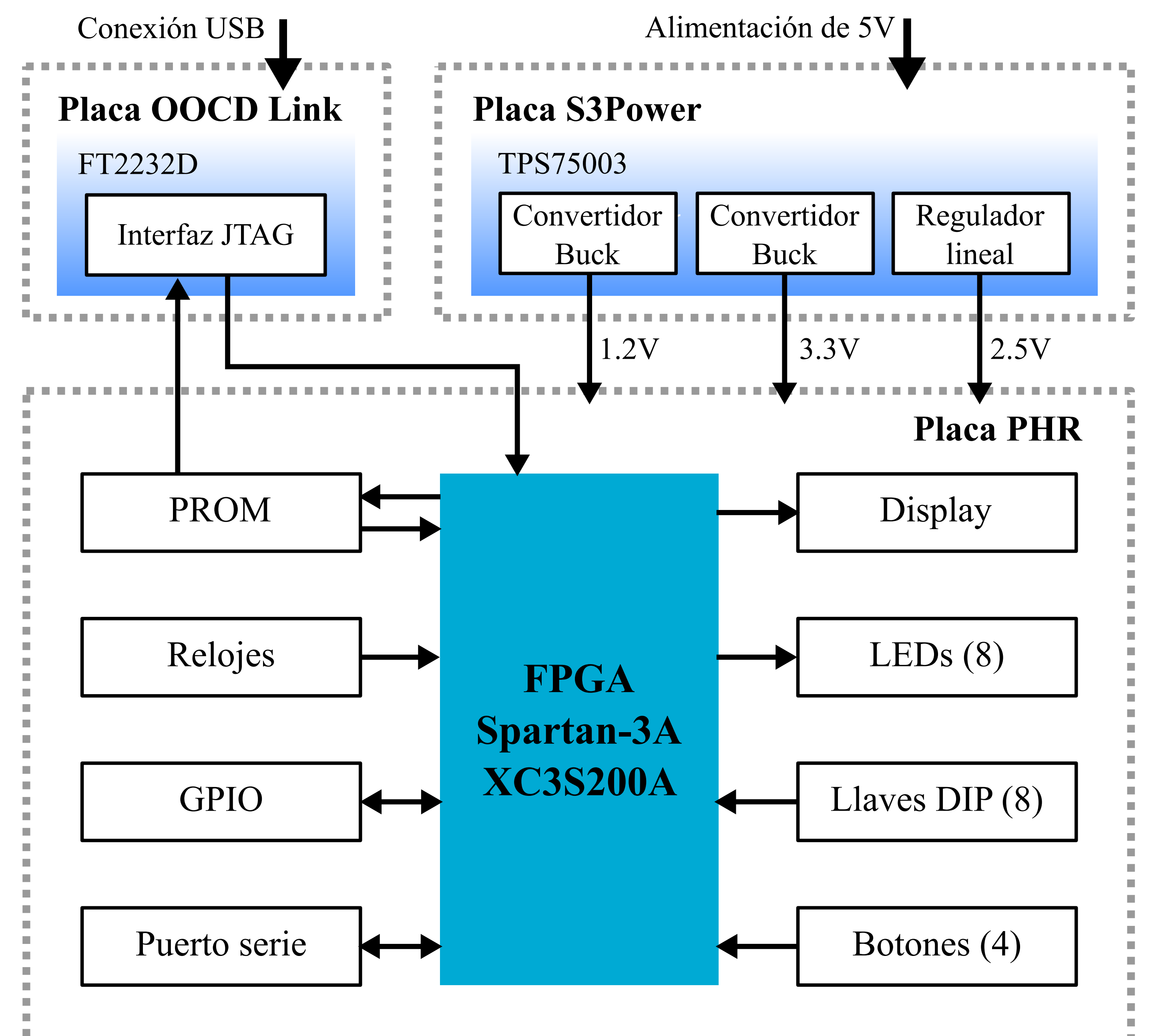
**Clock 2:** 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.

**Clock 3:** 3.9062 kHz, 1.9531 kHz, 976,56251 Hz.

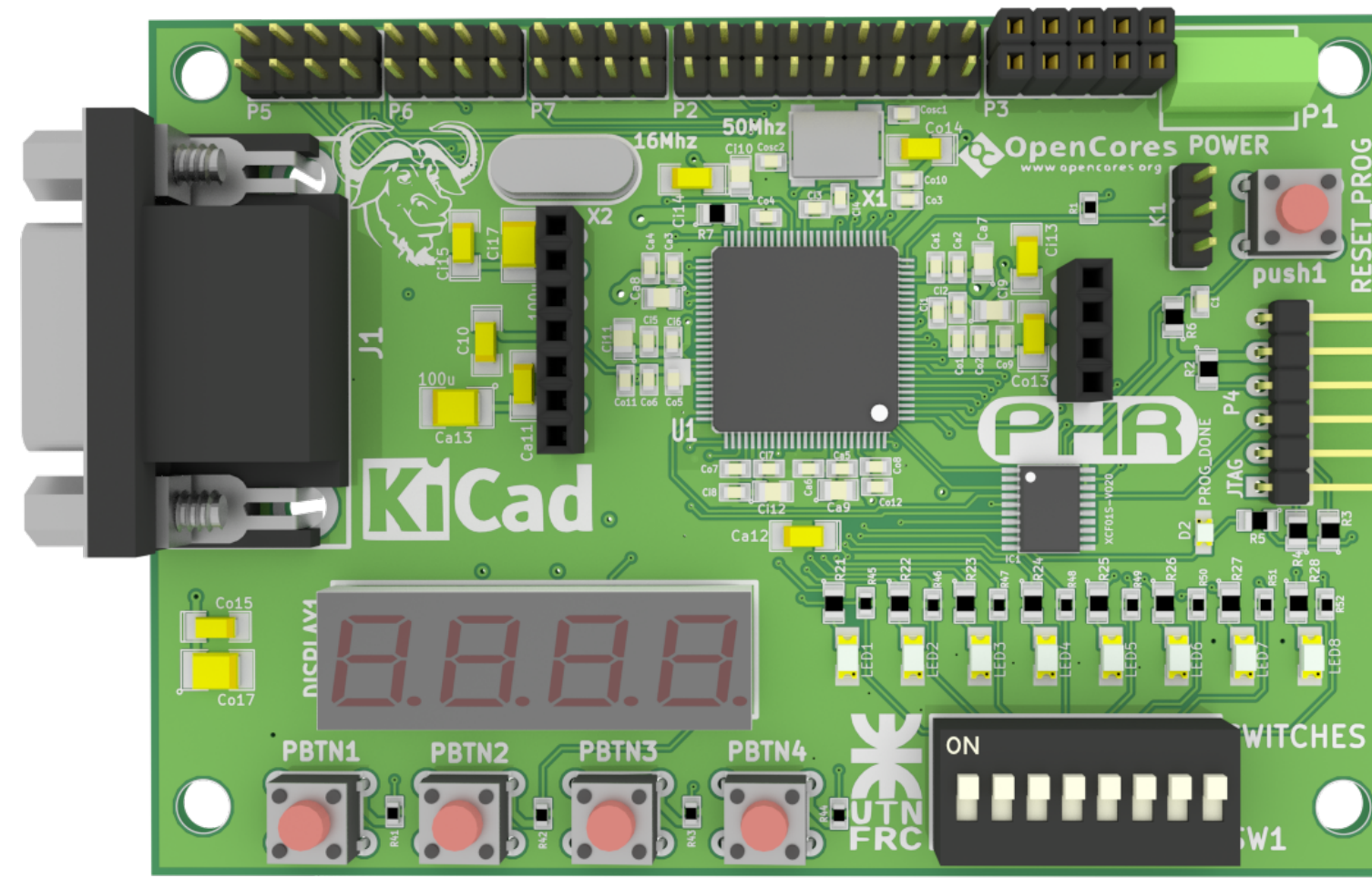
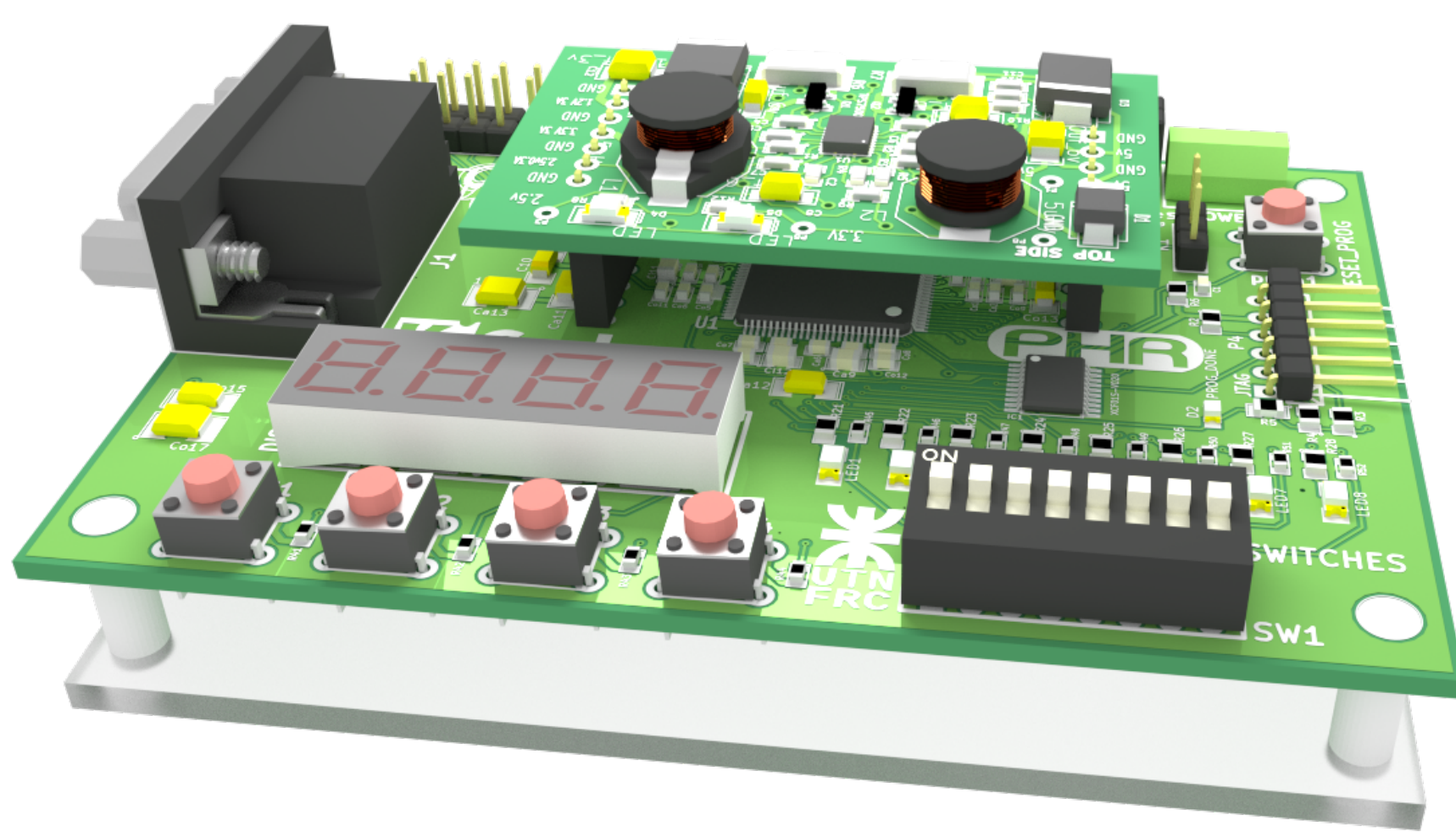
**Conectores con E/S de propósito general:** 28 pines en total.

**Periféricos:** 8 LEDs, 8 llaves (DIP switch), 4 pulsadores, Display de 7 segmentos cuádruple, Puerto serie.

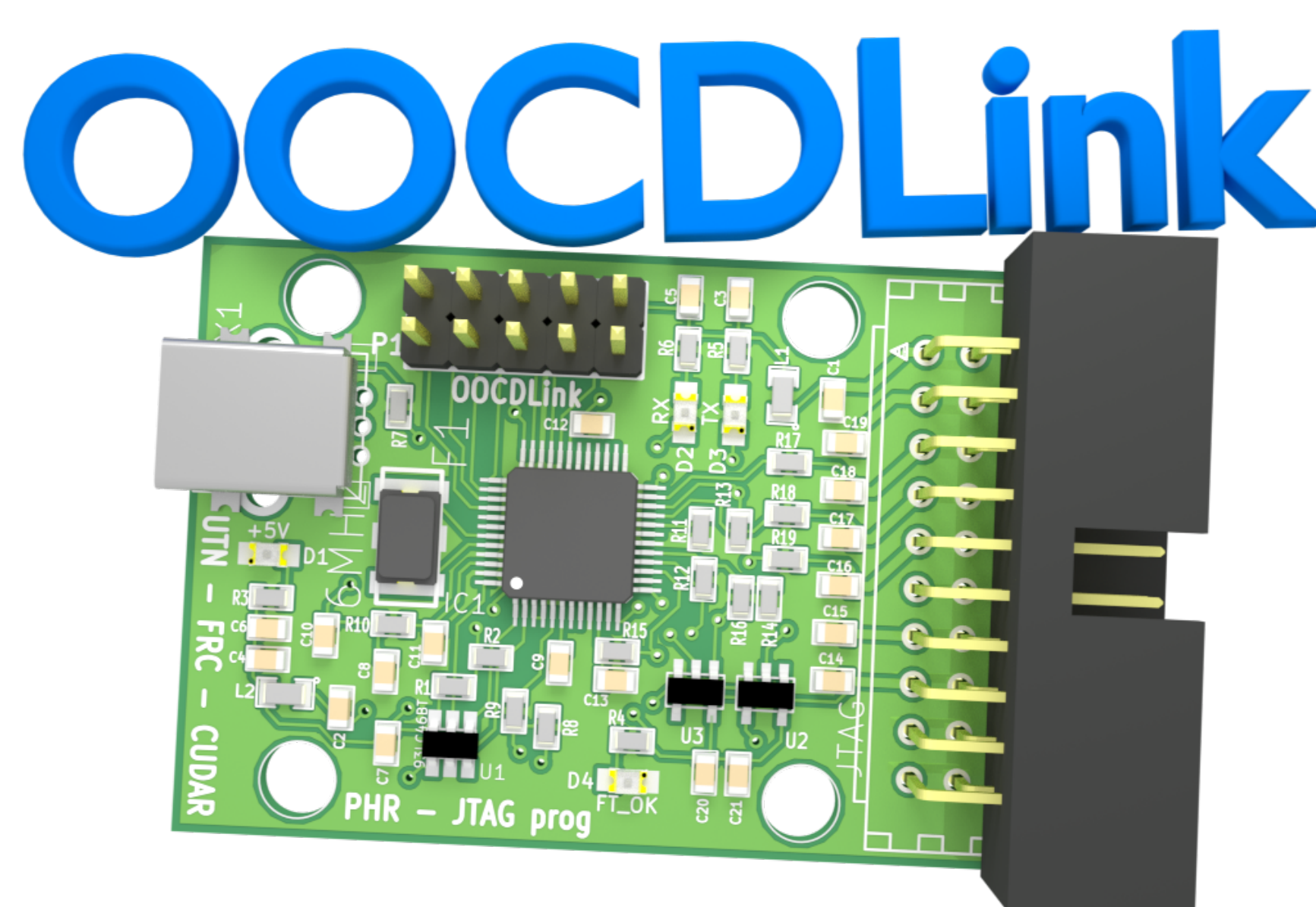
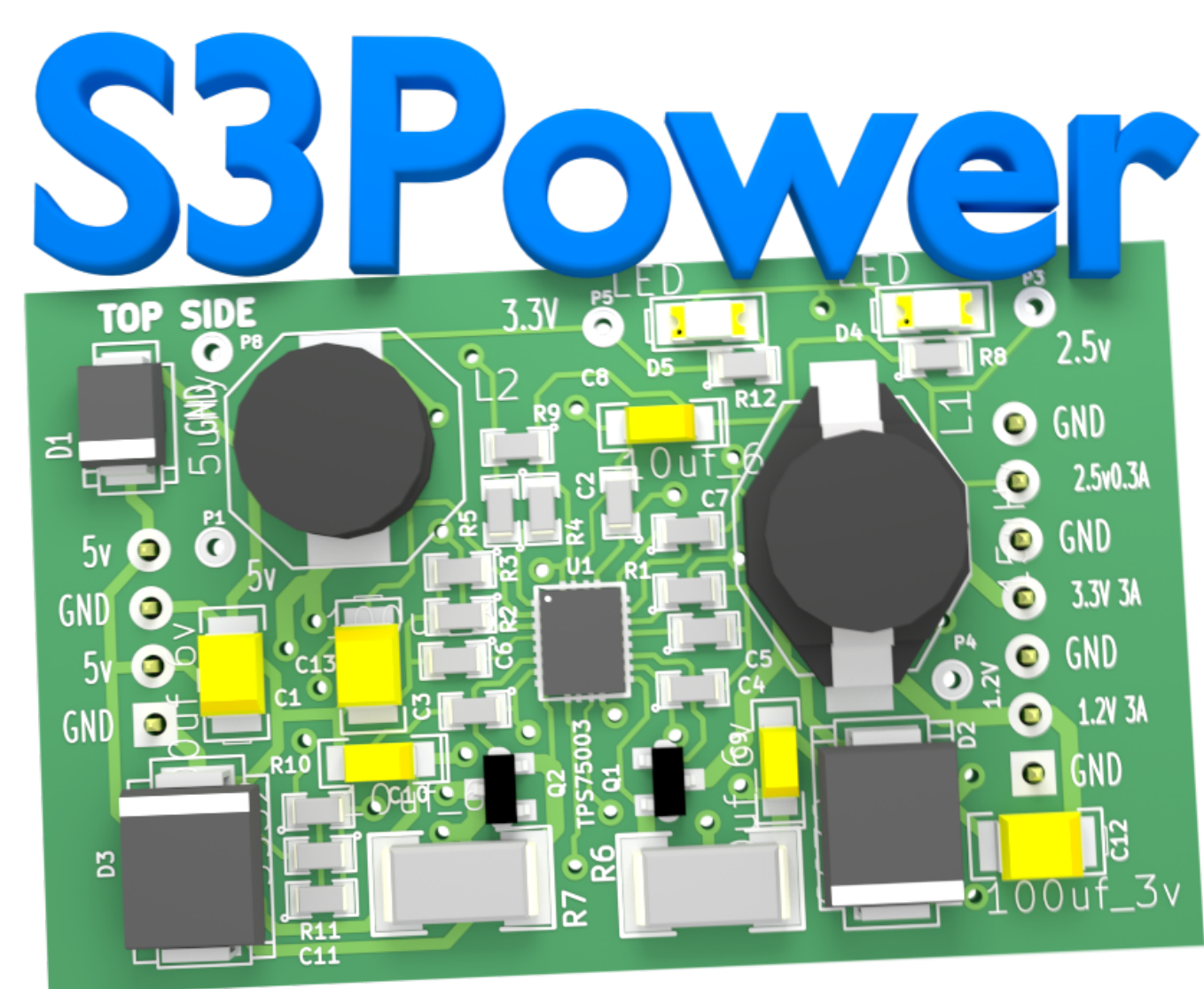
## Diagrama de bloques



## Placas del proyecto



La *Plataforma de Hardware Reconfigurable* consiste fundamentalmente en tres módulos de soporte físico. El módulo principal es la placa PHR donde se encuentran el chip FPGA, relojes, interfaces de entradas y salidas, periféricos (tales como LEDs, botones, llaves DIP, Displays de siete segmentos), etc. Además tiene conectores especiales para otros dos módulos sin los cuales la placa principal carece de funcionalidad.



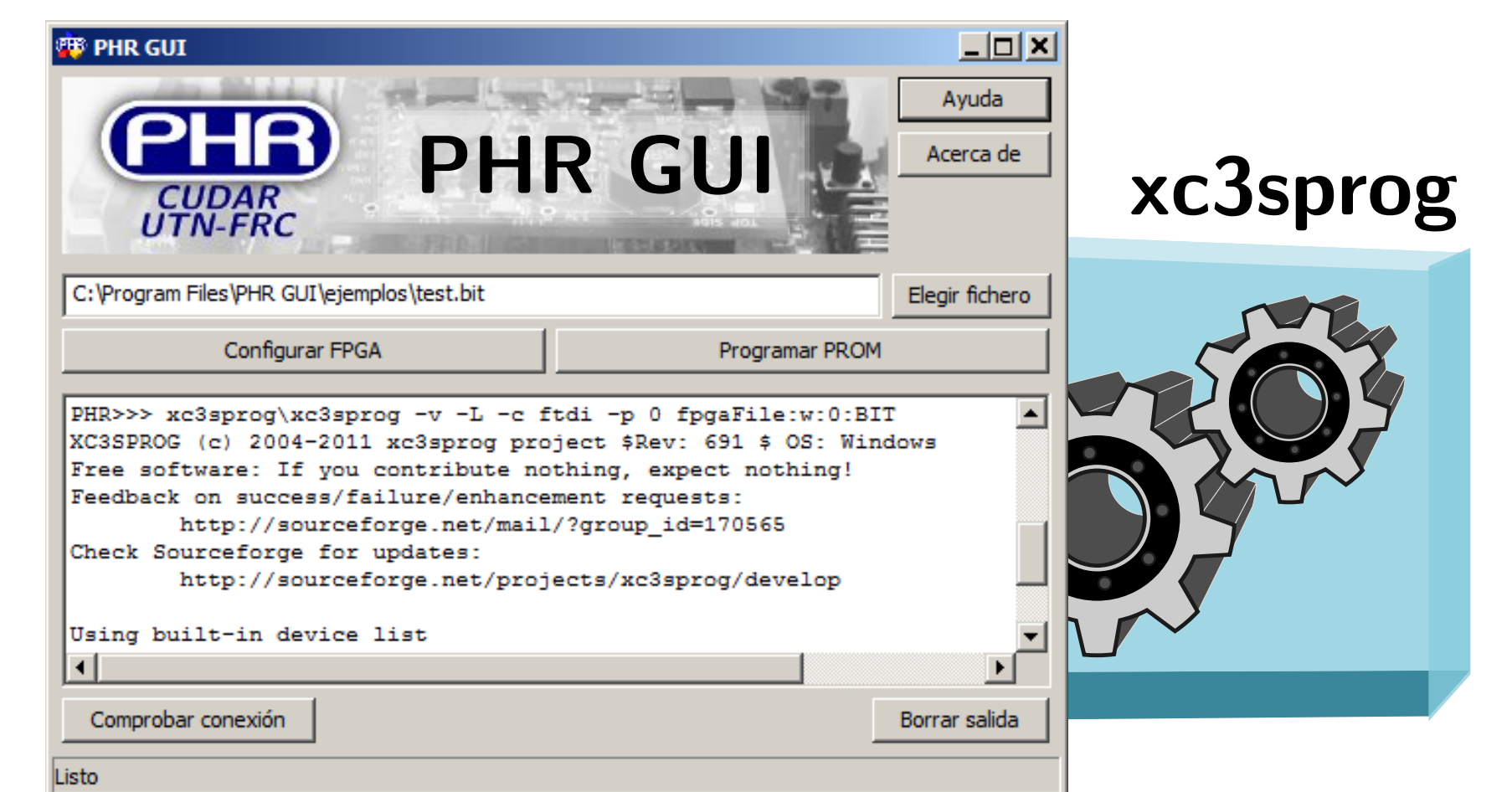
Para cumplir con las especificaciones se utiliza la placa S3Power, que fue desarrollada por el Instituto Nacional de Tecnología Industrial (INTI) y que está disponible bajo licencia GNU.

La función de la placa S3Power la realiza principalmente el chip TPS75003 el cuál tiene un regulador lineal y controladores para dos fuentes conmutadas, lo cual permite suministrar energía regulada con tres valores de tensión y distintas características de arranque. Los voltajes utilizados por la FPGA son de 1.2V, 2.5V y 3.3V.

Esta placa es la interfaz que permite la comunicación entre una computadora y la placa PHR. Su característica modular, o de circuito separado de la placa PHR principal, hace que su utilización no quede restringida a la FPGA y posibilita la interacción con los múltiples dispositivos que soportan JTAG.

La placa OOCOD Link incluye el chip FT2232D que establece una interfaz JTAG controlable mediante una conexión USB.

## Configuración de la FPGA



Para transferir el diseño del usuario a la FPGA, PHR se sirve de las funciones de xc3sprog, un conjunto de aplicaciones de licencia libre que funciona en línea de comandos y que puede programar varios dispositivos mediante JTAG. No obstante su funcionalidad, xc3sprog puede resultar no intuitivo para el usuario principiante, por lo que se ofrece una interfaz gráfica denominada PHR GUI para invocar a xc3sprog de una manera muy simple.

## Referencias

References.