

Plataforma de Hardware Reconfigurable

Luis Alberto Guanuco (lguanuco@electronica.frc.utn.edu.ar)

Maximiliano Quinteros (50214@electronica.frc.utn.edu.ar)

Sergio Daniel Olmedo (solmedo@scdt.frc.utn.edu.ar)

Introducción

El proyecto *Plataforma de Hardware Reconfigurable* (PHR) tiene como objetivo principal desarrollar recursos académicos para la difusión y actualización tecnológica relacionados al área digital a través de Dispositivos Lógicos Programables (PLDs).

El desarrollo comprende el diseño de hardware y software que se publican bajo licencias libres.

Características de la PHR

FPGA: Xilinx Spartan-3A XC3S200A (encapsulado VQG100).

Memoria PROM: Xilinx XCF02S.

Voltaje de entrada: 5V.

Relojes: Un reloj fijo y tres seleccionables:

Clock 0: 50 MHz.

Clock 1: 16 MHz, 1 MHz, 500 kHz y 250 kHz.

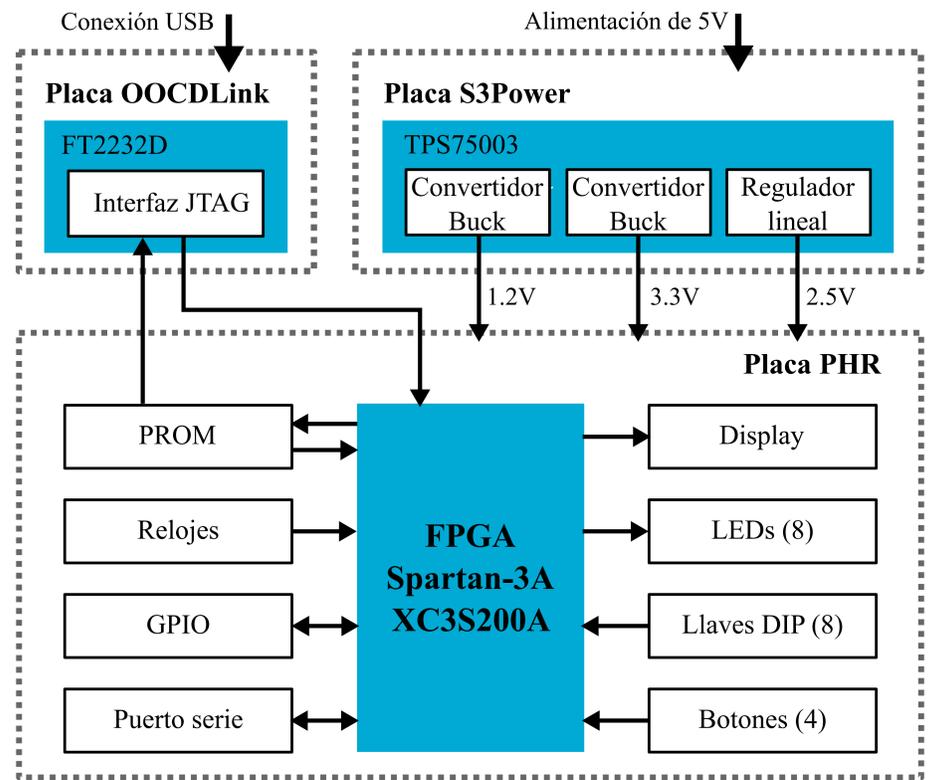
Clock 2: 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.

Clock 3: 3.9062 kHz, 1.9531 kHz, 976,56251 Hz.

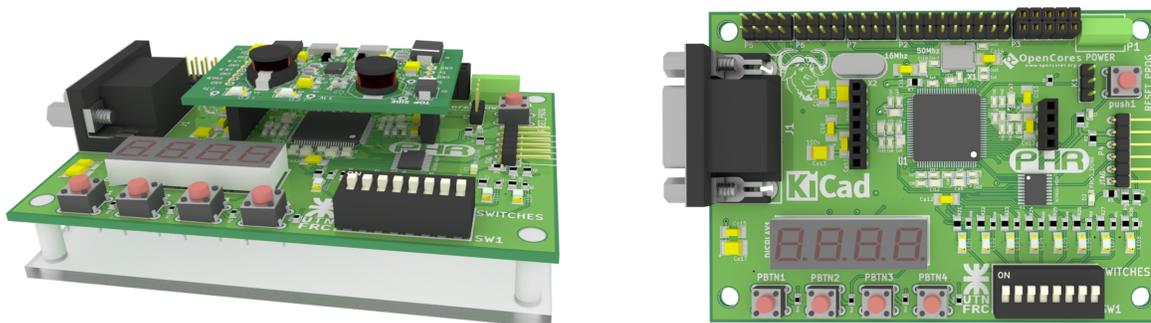
Conectores con E/S de propósito general: 28 pines en total.

Periféricos: 8 LEDs, 8 llaves (DIP switch), 4 pulsadores, Display de 7 segmentos cuádruple, Puerto serie.

Diagrama de bloques



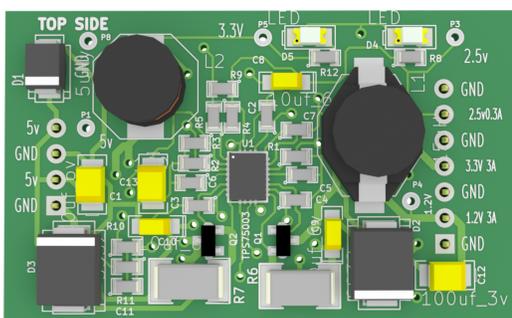
Placas del proyecto



La PHR consiste fundamentalmente en tres módulos de soporte físico. El módulo principal es la *placa PHR* donde se encuentran el chip FPGA, su memoria de configuración, relojes, interfaces de entradas/salidas y periféricos tales como LEDs, botones, llaves (DIP) y displays de siete segmentos. Los módulos *S3Power* y *OOCdLink* ofrecen alimentación y conectividad con una computadora respectivamente.

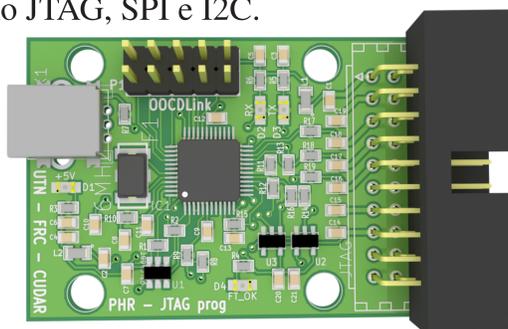
Placa S3Power

Fue desarrollada por el *Instituto Nacional de Tecnología Industrial* (INTI) y está disponible libremente[1]. Permite suministrar energía regulada con tres valores de tensión (1.2V, 2.5V y 3.3V). La función la realiza un dispositivo que integra un regulador lineal y controladores para dos fuentes conmutadas.

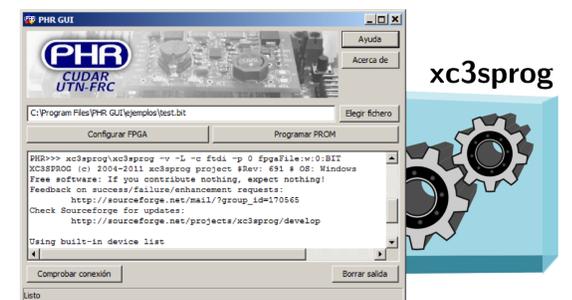


Placa OOCdLink

Facilita la comunicación entre una computadora y la placa PHR. Su característica modular, o de circuito separado de la placa PHR principal, hace que su utilización no quede restringida a la FPGA y posibilita la interacción con los múltiples dispositivos que soportan JTAG. El dispositivo central controla mediante una conexión USB protocolos de comunicación serial como JTAG, SPI e I2C.



Configuración de la FPGA



Para transferir el diseño del usuario a la FPGA, PHR se sirve de las funciones de *xc3sprog* [2], un conjunto de aplicaciones de licencia libre que funciona en línea de comandos y que puede programar varios dispositivos mediante JTAG. No obstante su funcionalidad, *xc3sprog* puede resultar no intuitivo para el usuario principiante, por lo que se ofrece una interfaz gráfica que permite invocar a *xc3sprog* de una manera muy simple.

Información adicional

Toda la información del proyecto, incluyendo manuales y PCBs, se encuentra disponible en forma libre y puede accederse a través del sitio web <http://opencores.org/project,phr>.

Referencias

- [1] *Módulo de alimentación para placas con dispositivos FPGA*, Christian Huy y Diego Brengi, Instituto Nacional de Tecnología Industrial.
- [2] <http://xc3sprog.sourceforge.net>