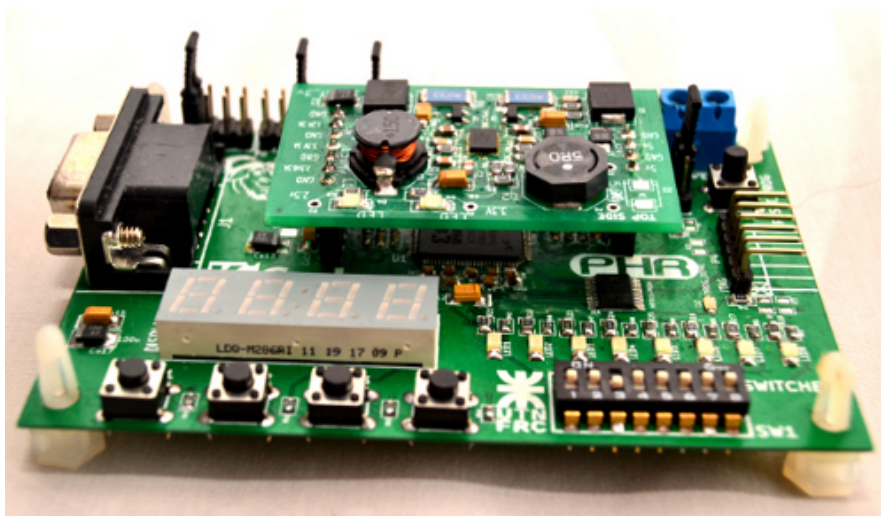




Plataforma de Hardware Reconfigurable

Manual de usuario

Documento versión BETA20140223
23 de febrero de 2014



Centro Universitario de Desarrollo en Automación y Robótica

Universidad Tecnológica Nacional

Facultad Regional Córdoba

Este documento se trata de una guía de usuario sobre la *Plataforma de Hardware Reconfigurable* desarrollada en el *CUDAR, Centro Universitario de Desarrollo en Automación y Robótica*, en la *Universidad Tecnológica Nacional, Facultad Regional Córdoba*.

<contacto>

<integrantes del proyecto>

<etc>

Notas

Hace falta prefacio ¿? software para programacion¿? El/La FPGA ¿?

Historial del documento

BETA20140213 Trabajando sobre el estilo del documento. (maximiq)

BETA20140214 Trabajando sobre el estilo y estructuración del documento. (maximiq)

BETA20140218 Algunas imágenes creadas y añadidas (maximiq)

BETA20140219 Más imágenes creadas y añadidas (maximiq)

Tabla de contenidos

1. Descripción general	1
1.1. Características	1
1.2. Componentes de la placa principal	1
1.3. introduccion al software	3
1.4. salidas de la FPGA	3
2. Descripción modular del hardware	4
3. La placa PHR	5
3.1. El chip FPGA	5
3.2. Memoria del FPGA	5
3.3. Interfaz JTAG	5
3.4. Fuentes de <i>clock</i>	5
3.5. Periféricos	5
3.5.1. LEDs	5
3.5.2. Pulsadores (<i>Tact switches</i>)	5
3.5.3. Llaves DIP	6
3.5.4. Display de segmentos	6
3.5.5. Puerto serie	6
3.6. Entradas y salidas de propósito general	6
4. La placa OOCDFLink	9
4.1. El chip FT2232D	9
5. La placa S3Power	11
5.1. El chip TPS75003	11
A. FPGA pin mapping	12
B. Esquemáticos	13
C. Creacion de UCF en texto plano	14

Índice de figuras

1.1. Componentes de la placa PHR	2
3.1. <i>Tact switches</i>	5
3.2. Circuito del display de segmentos	6
3.3. Diagrama de multiplexado	7
3.4. Display: caracteres comunes	7
3.5. Circuito de la interfaz RS-232	7
3.6. Conector para entradas y salidas de propósito general.	8
4.1. Componentes de la placa OOCDFLink	9
5.1. Componentes de la placa S3Power	11

Índice de cuadros

3.1. Pines para los LEDs	5
3.2. Pines para los <i>tact switches</i>	5
3.3. Pines para las llavess	6
3.4. Pines para el diplay de segmentos	7

1. Descripción general

INTRO

Características

Entre las características de la placa PHR se pueden destacar:

FPGA: Xilinx Spartan-3A XC3S200A.

PROM: Xilinx XCF02S.

Propósito general io (corrientes)

Conector Modulos expansion

Voltaje de operación

Voltaje de entrada (recomendado): xV - yV.

Voltaje de entrada (limite): xV - yV.

Corriente de entrada [...]

Relojes: 4 relojes en total:

Clock 0: 50 MHz.

Clock 1: Seleccionable entre 16 MHz, 1 MHz, 500 kHz y 250 kHz.

Clock 2: Seleccionable entre 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.

Clock 3: Seleccionable entre 3.91 kHz, 1.95 kHz, 977 Hz.

Multiplicidad de periféricos:

- 8 LEDs.
- 8 llaves (DIP switch).
- 4 pulsadores.
- Displays.
- Puerto serie.

Componentes de la placa principal

En la Fig. 1.1 se tiene la vista superior de la placa PHR con sus principales componentes demarcados. Según la numeración, éstos componentes son:

1. Selector de clock.
2. I/O de propósito general (GPIO).
3. Conector de módulos externos.
4. Entrada de alimentación (5V).
5. Boton de RESET.
6. Conector de la plaqueta OOCdLink.
7. Alimentación plaqueta S3Power.

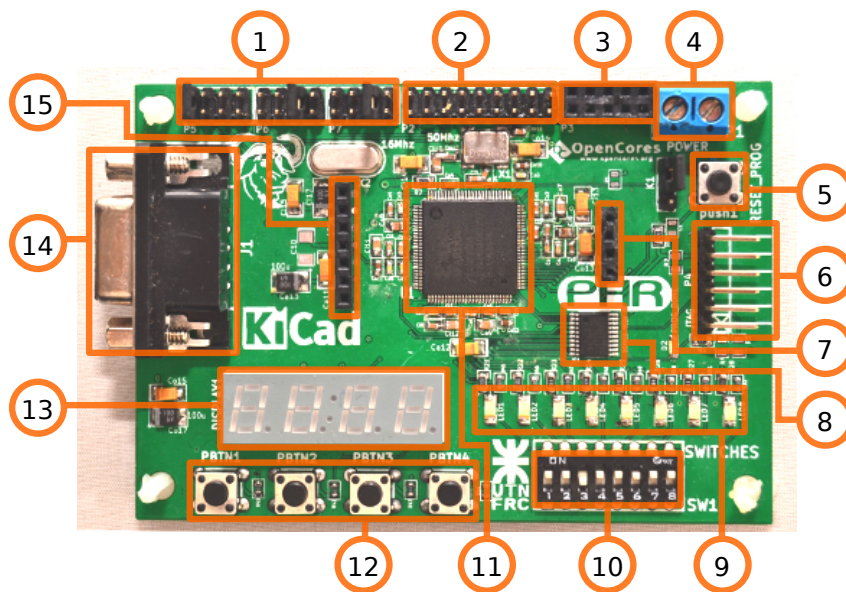


Figura 1.1: Componentes de la placa PHR

- 8. Memoria PROM.
- 9. LEDs.
- 10. Llaves DIP.
- 11. FPGA.
- 12. Botones pulsadores.
- 13. Display de 7 segmentos cuádruple.
- 14. Conector para puerto serie.
- 15. Tensiones de alimentación para el FPGA.

introduccion al software

salidas de la FPGA

2. Descripción modular del hardware

3. La placa PHR

El chip FPGA

Memoria del FPGA

Interfaz JTAG

Fuentes de *clock*

Periféricos

LEDs

En la placa se encuentran ocho LEDs de montaje superficial indicados con el numero 9 en la Fig. 1.1. Son etiquetados desde LED1 a LED8 y su relación con los pines de la FPGA se muestra en la Tabla 3.1.

Periférico	LED1	LED2	LED3	LED4	LED5	LED6	LED7	LED8
Pin	84	86	89	93	98	3	5	7

Cuadro 3.1: Correspondencia entre los pines de la FPGA y los LEDs (periféricos).

Los cátodos de cada LED se conectan a potencial cero y los ánodos se conectan a los pines respectivos de la FPGA mediante un resistencia de 330 Ω . Para encender un determinado LED basta con poner la señal de control en alto.

Pulsadores (*Tact switches*)

Están disponibles cuatro botones pulsadores como los esquematizados en la Fig. 3.1 y son identificados con el numero 12 en la Fig. 1.1. Los mismos son etiquetados como PBTN1, PBTN2, PBTN3 y PBTN4. Los pines de la FPGA relacionados con éstos periféricos se identifican en la Tabla 3.2. El esquemático detallado del circuito puede encontrarse en el Apéndice refAPENDICE.

Periférico	PBTN1	PBTN2	PBTN3	PBTN4
Pin	77	78	82	83

Cuadro 3.2: Correspondencia entre los pines de la FPGA y los botones.

Cuando se presiona alguno de los botones se genera un valor lógico alto en el pin asociado de la FPGA. No hay circuito antirrebote y éste debe ser tenido en cuenta al momento de escribir el código que luego vaya a cargarse en el dispositivo.

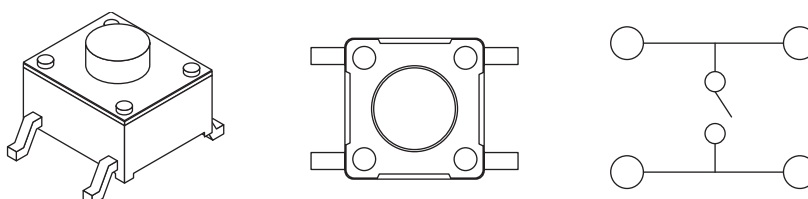


Figura 3.1: *Tact switches*.

Llaves DIP

Periférico	SW1	SW2	SW3	SW4	SW5	SW6	SW7	SW8
Pin	85	88	90	94	97	4	6	9

Cuadro 3.3: Correspondencia entre los pines de la FPGA y las llaves.

Display de segmentos

La placa PHR cuenta con un display siete segmentos cuádruple de *ánodo comun* indicado con el índice 13 en la Fig. 1.1. El circuito de conexión entre la FPGA y el display se muestra en la Fig. 3.2 y se resalta la denominación alfabética para los segmentos de los caracteres.

Ésta misma figura además muestra como ejemplo, el estado de los pines de la FPGA para indicar el numero 3 en la posición 2. Al tener ésta configuración, cada LED encenderá con un *nivel bajo* en el pin correspondiente al segmento pero además necesitará que el ánodo del caracter particular esté energizado. Éste ultimo también es activo por bajo (*active low*).

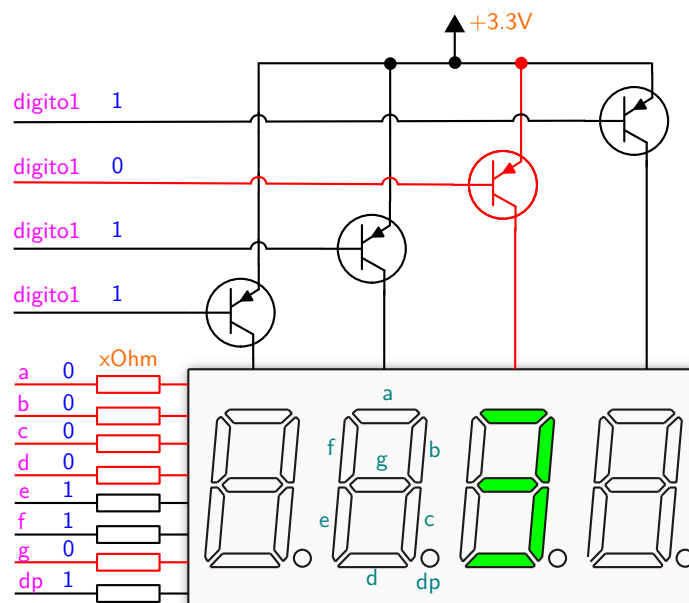


Figura 3.2: Conexionado del display de siete segmentos cuádruple.

Para dar el efecto deseado de representar una cifra de 4 dígitos se recurre a la técnica de multiplexación en el dominio del tiempo. La técnica consiste en mostrar uno a uno y ciclicamente cada caracter a una frecuencia suficientemente alta para que el ojo humano persiva una imagen completa. Un diagrama temporal de las señales se muestra en la Fig. ref.

Si bien el método requiere algo mas de complejidad que la conexión directa a cada segmento de cada caracter, reduce el numero de pines necesarios de $8 \times 4 = 32$ a $8 + 4 = 12$ lo cuál representa un significativo ahorro en recursos de hardware.

La Tabla 3.4 muestra los pines de conexión de la FPGA a las distintas entradas del periférico. La Tabla 3.4 tiene valores de control para que los segmentos muestren dígitos y las letras desde la A hasta la F para poder representar números en formato hexadecimal.

Puerto serie

Entradas y salidas de propósito general

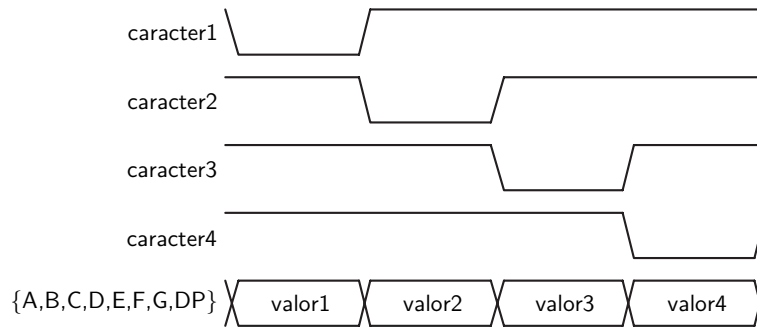


Figura 3.3: Diagrama temporal de la multiplexación.

Periférico	Caracter1	Caracter2	Caracter3	Caracter4
Pin	59	57	61	60

Segmento	A	B	C	D	E	F	G	DP
Pin	65	64	72	70	68	62	73	71

Cuadro 3.4: Conexión del display de 7 segmentos cuádruple a la FPGA.

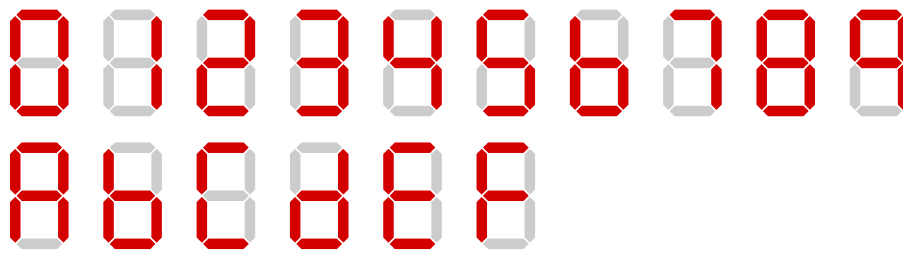


Figura 3.4: Representaciones de caracteres comunes en los displays de siete segmentos.

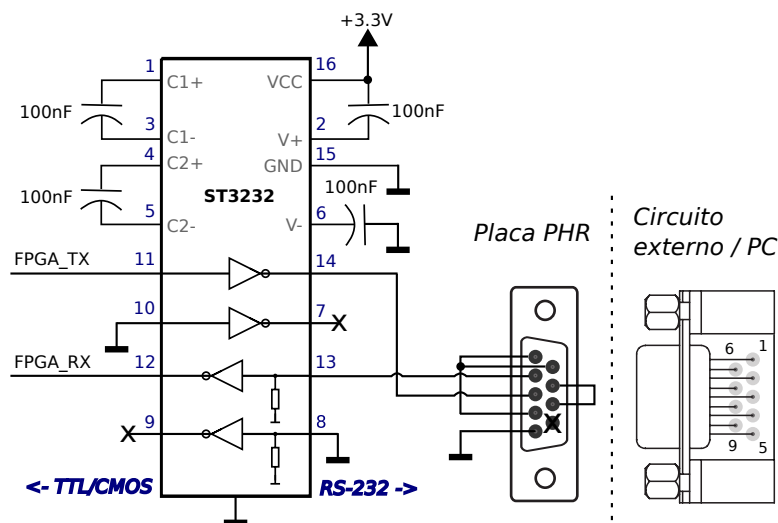


Figura 3.5: Circuito de la interfaz RS-232

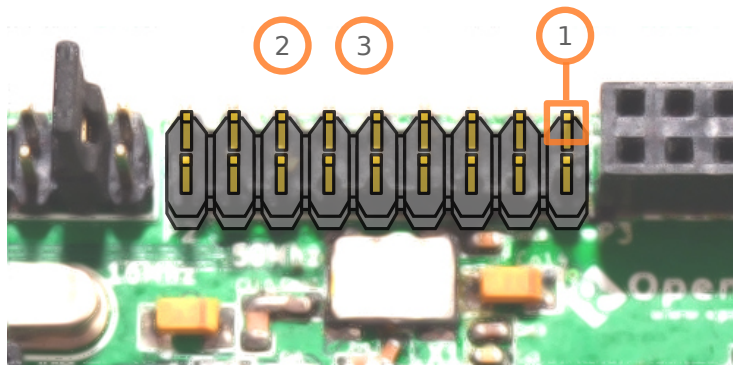


Figura 3.6: Conector para entradas y salidas de propósito general.

4. La placa OOCDDLink

Ésta placa es la interfaz que permite la comunicación entre una computadora y la placa PHR. Su característica modular (o de circuito separado de la placa PHR principal) hace que su utilización no quede restringida a la FPGA y posibilita la interacción con los múltiples dispositivos que soportan JTAG.

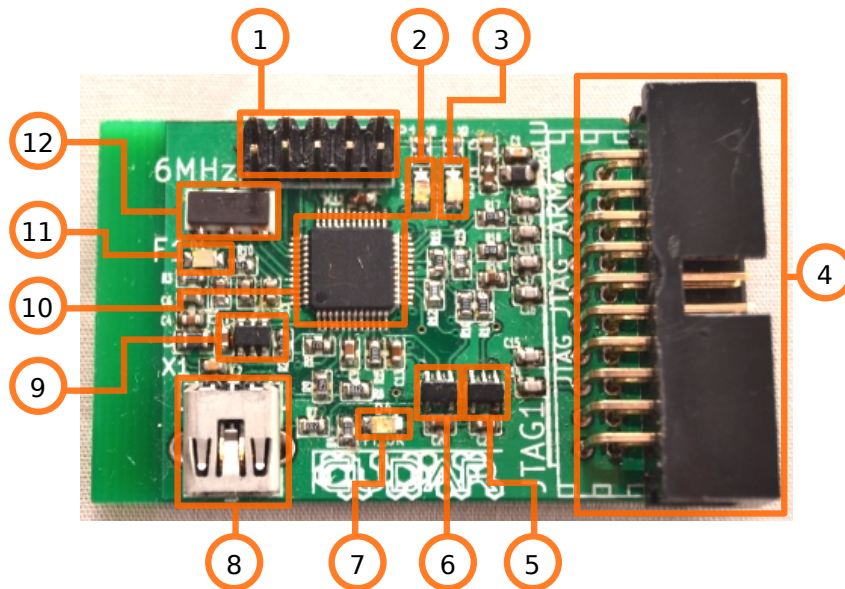


Figura 4.1: Componentes de la placa OOCDDLink

1. Conector UART.
2. LED RX.
3. LED TX.
4. Conector JTAG.
5. Buffer 3 state
6. Buffer 3 state
7. LED FT OK
8. Conector USB 2.0.
9. EEPROM.
10. FT2232D
11. LED Alimentación.
12. Oscilador de 6 MHz.

El chip FT2232D

Características

- Cumple con las especificaciones de USB 2.0 Full Speed (12 Mbits/sec).
- Simplifica la comunicación de USB con los protocolos de comunicaciones seriales JTAG, I2C y SPI.
- Tiene una tasa de transferencia de entre 300 y 3 MBaud.
- Desde el sistema operativo, la interfaz puede verse como un *puerto serie virtual* (necesita el driver que provee el fabricante sin costo adicional).

- También están disponibles librerías para facilitar el uso de JTAG, I2C y SPI (compatible con sistemas Windows y Linux).

5. La placa S3Power

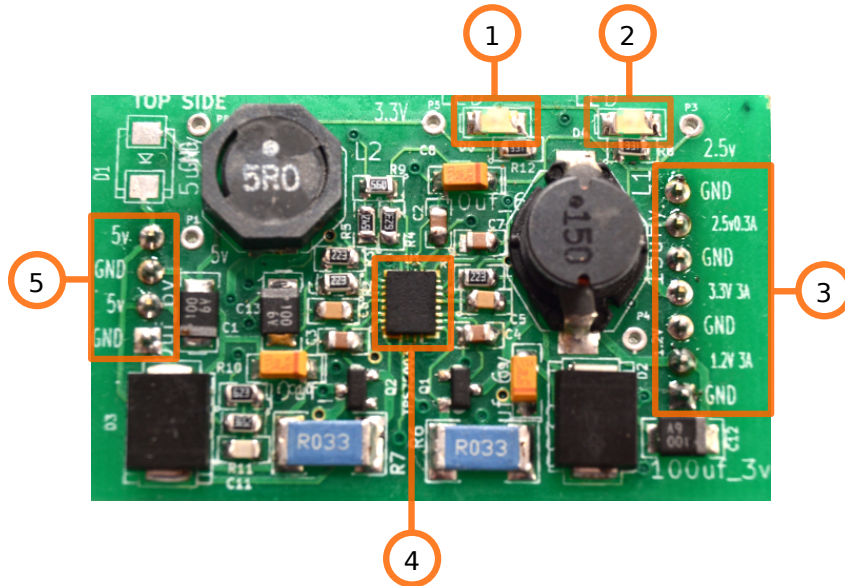


Figura 5.1: Componentes de la placa S3Power

- 1.
- 2.
- 3.
- 4.
- 5.
- 6.
- 7.

El chip TPS75003

A. FPGA pin mapping

B. Esquemáticos

C. Creacion de UCF en texto plano

FIN