



Plataforma de Hardware Reconfigurable

Manual de usuario

Documento versión 1.02
Junio de 2016



Centro Universitario de Desarrollo en Automación y Robótica

Universidad Tecnológica Nacional

Facultad Regional Córdoba



Este documento es una guía de usuario sobre la *Plataforma de Hardware Reconfigurable* desarrollada en el CUDAR, *Centro Universitario de Desarrollo en Automación y Robótica*, en la *Universidad Tecnológica Nacional, Facultad Regional Córdoba*.

Se trata de una plataforma de hardware abierta que se encuentra alojado en los servidores de OpenCores. Puede acceder a todo el material relacionado a través de:

<http://opencores.org/project,phr>



Historial del documento

Versión 1.00 (Abril de 2014) Primera versión del documento.

Versión 1.01 (Marzo de 2015) Actualizado para la revisión 2 de la placa.

Versión 1.02 (Junio de 2016) Correcciones realizadas por el Laboratorio de Técnicas Digitales e Informática (UTN – FRC).

Tabla de contenidos

Acerca de esta guía	vi
1. Descripción general	1
1.1. Características	1
1.2. Descripción de las placas	1
1.3. Diagrama de bloques del hardware	2
1.4. Componentes de la placa principal	3
2. La placa PHR	4
2.1. El chip FPGA	4
2.1.1. Características principales	4
2.1.2. Descripción de la arquitectura	4
2.1.3. Capacidades de E/S	4
2.1.4. Requerimientos de alimentación	5
2.2. Configuración de la FPGA	6
2.3. Fuentes de <i>clock</i>	7
2.3.1. El reloj de 50 MHz	7
2.3.2. Relojes seleccionables	8
2.4. Periféricos	8
2.4.1. LEDs	8
2.4.2. Pulsadores (<i>Tact switches</i>)	8
2.4.3. Llaves DIP	9
2.4.4. Displays de 7 segmentos	9
2.4.5. Puerto serie	11
2.5. Entradas y salidas de propósito general	12
3. La placa OOCdLink	13
3.1. El chip FT2232D	14
4. La placa S3Power	15
4.1. El chip TPS75003	15
5. Software	17
5.1. PHR GUI	17
5.1.1. Funciones básicas	17
5.1.2. Obtención de PHR GUI	18
A. Conexiones de la FPGA	19
B. Esquemáticos	20

Índice de figuras

1.1. Conexionado de las placas	1
1.2. Diagrama de bloques de la plataforma	2
1.3. Componentes de la placa PHR	3
2.1. Bloques fundamentales de la FPGA	5
2.2. Modos de configuración	7
2.3. Modos de configuración	7
2.4. Selectores de los relojes en la placa	8
2.5. Configuración de los relojes	8
2.6. <i>Tact switches</i>	9
2.7. <i>DIP switches</i>	9
2.8. Circuito del display de siete segmentos	10
2.9. Diagrama temporal de la multiplexación	10
2.10. Caracteres comunes en los displays de 7 segmentos	11
2.11. Circuito de la interfaz RS-232	11
2.12. Conectores de propósito general	12
3.1. Componentes de la placa OOCDFLink	13
3.2. Diagrama de bloques del chip FT2232D	14
4.1. Componentes de la placa S3Power	15
4.2. Arranque de la placa S3Power	16
5.1. Interfaz gráfica de usuario	17

Índice de tablas

2.1. Voltajes de alimentación	5
2.2. Rampas de las fuentes de alimentación	6
2.3. Ajuste de los modos de configuración	6
2.4. Pines para los relojes	7
2.5. Pines para los LEDs	8
2.6. Pines para los botones	9
2.7. Pines para las llaves	9
2.8. Pines para el <i>display</i> de segmentos	10
2.9. Pines para la conexión RS-232	11
2.10. Pines para las E/S de propósito general	12

Acerca de esta guía

El proyecto *Plataforma de Hardware Reconfigurable* tiene como objetivo principal desarrollar recursos académicos para la difusión y actualización tecnológica relacionado al área digital a través de Dispositivos Lógicos Programables (PLDs, por sus siglas en inglés). El desarrollo comprende el diseño de hardware y software publicados bajo *licencias libres*.

Los PLDs permiten al diseñador de sistemas digitales implementar diferentes arquitecturas sobre un mismo dispositivo físico. En nuestro caso¹, para las cátedras de Técnicas Digitales I y IV, se demandan entornos de desarrollo con más recursos digitales debido a las implementaciones complejas que diseñan los estudiantes. El *Centro Universitario de Desarrollo en Automoción y Robótica* (CUDAR) presenta antecedentes en la transferencia de plataformas de hardware basados en dispositivos PLDs. Por lo que la Plataforma de Hardware Reconfigurable es una continuación del trabajo que realiza el CUDAR para la divulgación tecnológica en nuestra Facultad, en forma libre y abierta a toda la comunidad.

La decisión de la licencia es otra característica de importancia para los autores/desarrolladores del proyecto. Nuestra visión es que todo proyecto de investigación y desarrollo (I+D) debe ser accedido en forma libre por parte de la comunidad. Resulta natural si se considera que todo contenido académico es generado, en nuestro caso, por una institución pública. En nuestra experiencia, esta concepción de la divulgación de contenidos académicos resultó beneficioso ya que permitió la interacción con otras instituciones sin restricción ni limitaciones algunas. En el proceso de diseño de las diferentes placas se ha contado con el aporte de varios grupos de desarrolladores, y todos estos han colaborado en forma desinteresada.

Este *Manual de Usuario* hace referencia al uso de los recursos físicos (*hardware*) que ofrece la Plataforma de Hardware Reconfigurable. Es decir, describe cómo usar y configurar todas las placas que lo componen. Los recursos de *software* que dispone el proyecto se encuentran publicados en otro documento denominado *Interfaz gráfica de usuario PHR GUI*². Además de este documento, se han generado varios reportes durante todo el proceso de diseño del proyecto. Estos reportes permiten hacer un seguimiento cronológico del desarrollo como también disponer de información útil para cualquier desarrollador que se encuentre en el diseño de una sistema embebido con características similares a este proyecto.

Toda observación que se quiera hacer sobre este documento será recibida con gratitud por parte de los desarrolladores para mejorar el contenido del manual. Escribanos a alguna de las direcciones de correo electrónico listadas a continuación.

Luis Guanuco: lguanuco@frc.utn.edu.ar

Maximiliano Quinteros: 50214@electronica.frc.utn.edu.ar

¹Carrera de Ingeniería Electrónica. Universidad Tecnológica Nacional - Facultad Regional Córdoba.

²Todos los Manuales están disponible para su descarga en el sitio <http://opencores.org/project,phr,descargas>

1. Descripción general

Características

FPGA: Xilinx Spartan-3A XC3S200A (encapsulado VQG100).

Memoria PROM: Xilinx XCF02S.

Voltaje de entrada: 5V.

Relojes: cuatro relojes en total:

Clock 0: 50 MHz.

Clock 1: Seleccionable entre 16 MHz, 1 MHz, 500 kHz y 250 kHz.

Clock 2: Seleccionable entre 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.

Clock 3: Seleccionable entre 3.9062 kHz, 1.9531 kHz, 976,56251 Hz.

Conectores con Entradas/Salidas de propósito general: 28 pines en total.

Periféricos: 8 LEDs, 8 llaves (DIP switch), 4 pulsadores, display de 7 segmentos cuádruple, puerto serie.

Descripción de las placas

La *Plataforma de Hardware Reconfigurable* (PHR) consiste fundamentalmente de tres placas electrónicas. El módulo principal es la *placa PHR* donde se encuentran el chip FPGA, relojes, interfaces de entradas y salidas, periféricos (tales como LEDs, botones, llaves DIP, Displays de siete segmentos), etc.

Además tiene conectores especiales para otros dos módulos sin los cuales la placa principal carece de funcionalidad. Uno de ellos se emplea para la regulación de las tensiones que alimentan al resto de los dispositivos. Se trata de la denominada *placa S3Power*. El otro módulo es una interfaz de comunicaciones necesaria para configurar la FPGA o escribir la memoria PROM de configuración y se dispone en la *placa O OCD Link*.

La conexión de las placas auxiliares a la principal se ilustra en la Fig. 1.1. La placa S3Power se acopla con los conectores que se indican con los números 8 y 16 en la Fig. 1.3, mientras que la O OCD Link se une a la principal (mediante un cable adaptador) con los pines demarcados con 7. Ésta última, a diferencia de la S3Power, no precisa estar siempre conectada, pero sí cada vez que se desee configurar la FPGA o grabar su memoria PROM.

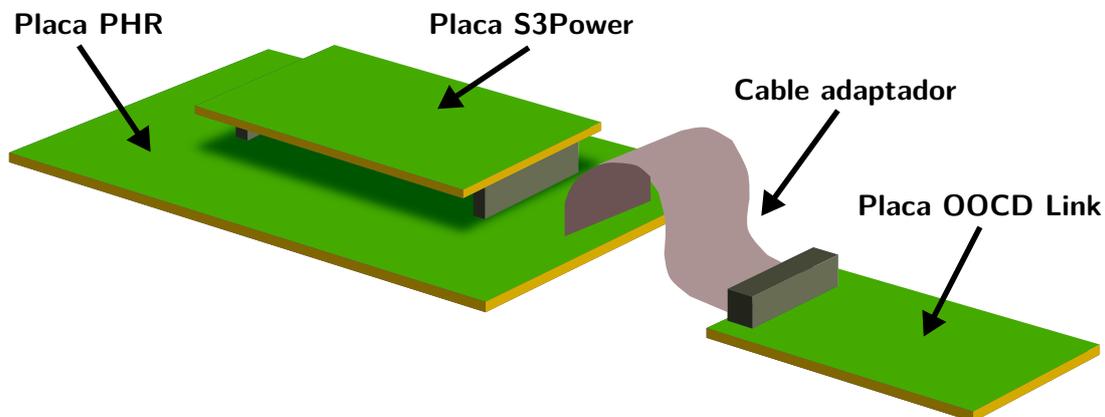


Figura 1.1: Conexión de la placa PHR con las placas auxiliares.

Diagrama de bloques del hardware

Un esquema algo más detallado del funcionamiento de la plataforma se ilustra en la Fig. 1.2. En líneas punteadas se demarcan las distintas placas, y en línea continua se muestran los bloques que componen a cada una de ellas. Cuando hay funciones desempeñadas por un chip en particular los rectángulos se destacan con un fondo gris.

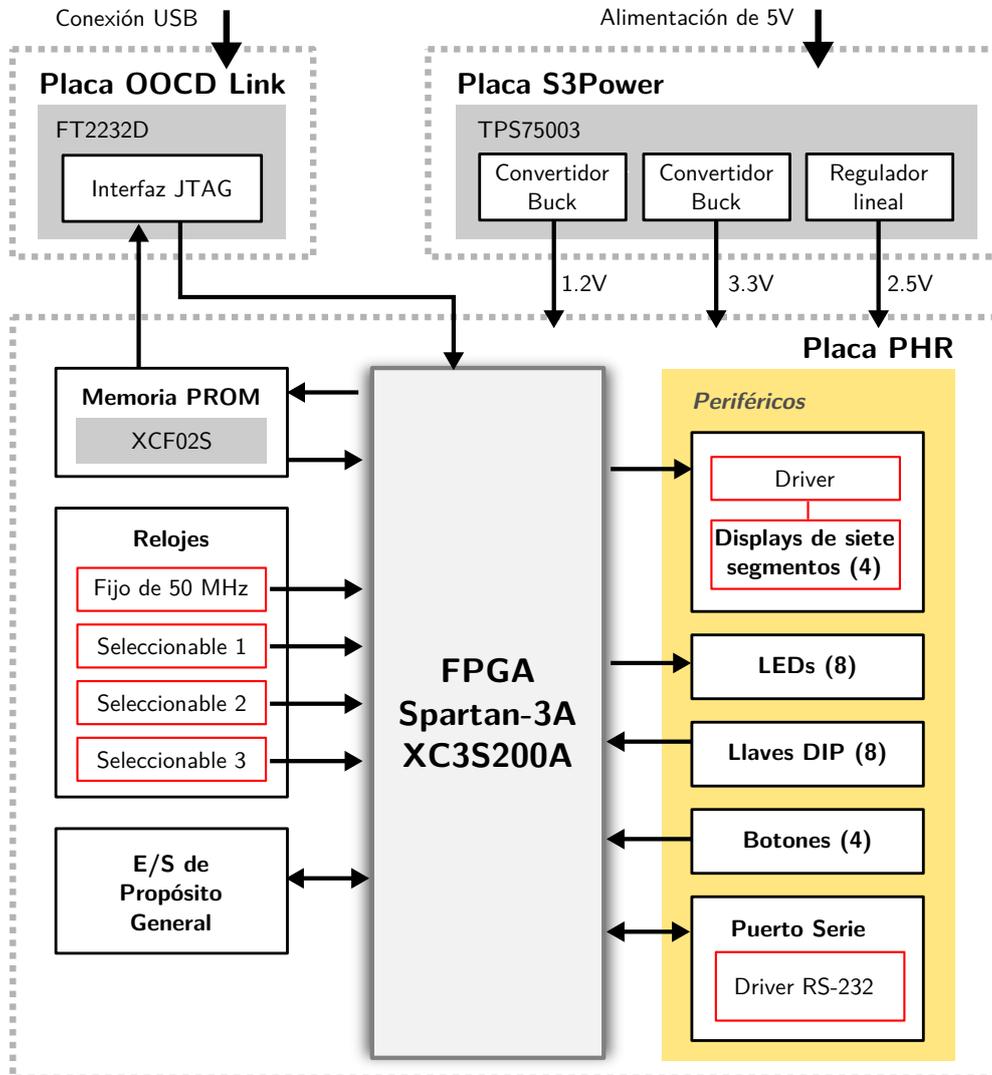


Figura 1.2: Diagrama de bloques de la plataforma.

La función de la placa S3Power la realiza principalmente el *chip* TPS75003 el cuál tiene un regulador lineal y controladores para dos fuentes conmutadas, lo cual permite suministrar energía regulada con tres valores de tensión y distintas características de arranque¹. Los voltajes utilizados por la FPGA son de 1.2V, 2.5V y 3.3V.

En la placa PHR, la FPGA se conecta a los distintos periféricos que se distinguen en la Fig. 1.2 con un fondo amarillo. El conjunto de periféricos está compuesto por LEDs, llaves DIP, botones, el display de siete segmentos cuádruple y el puerto serie².

Un recurso que puede facilitar el diseño de los proyectos es la señal de reloj. La placa PHR pone a disposición del usuario diversas señales de clock que van desde una frecuencia mínima de 977 Hz hasta una frecuencia máxima de 50MHz³.

¹Una explicación más detallada de S3Power puede consultarse en el capítulo 4.

²Más información sobre periféricos en capítulo 2, página 8.

³Más información sobre relojes en capítulo 2, página 7.

Para que la placa sea apta además para la realización de prototipos se incluyeron dos conectores, a través de cuales el usuario tiene acceso directo a los pines de la FPGA⁴.

La placa OOC D Link incluye el *chip FT2232D* que establece una interfaz JTAG controlable mediante una conexión USB. Un anillo JTAG se establece con la FPGA y la memoria PROM, esta última implementada con el *chip XC9502S*⁵.

Componentes de la placa principal

En la Fig. 1.3 se tiene la vista superior de la placa PHR con sus principales componentes demarcados. Según la numeración, estos componentes son:

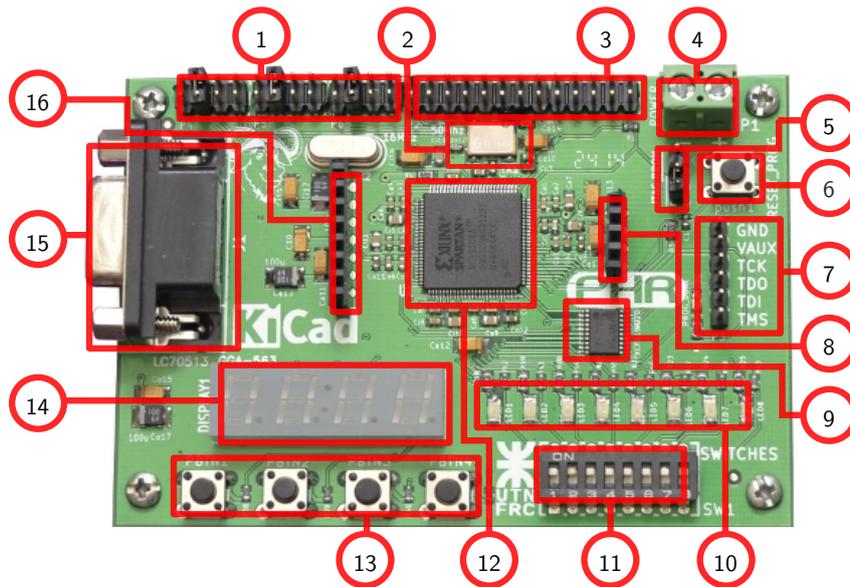


Figura 1.3: Componentes de la placa PHR.

1. Selector de *clocks*.
2. Oscilador de 50 MHz.
3. Entradas y salidas de propósito general.
4. Entrada de voltaje de alimentación (5V).
5. Selector de modo de configuración.
6. Botón de RESET.
7. Conector de la placa *OOC D Link*.
8. Conector de alimentación de la placa *S3Power*.
9. Memoria PROM.
10. LEDs.
11. Llaves DIP.
12. Chip FPGA XC3S200A.
13. Botones pulsadores.
14. Display de 7 segmentos cuádruple.
15. Conector para puerto serie.
16. Conector de alimentación para la placa PHR desde *S3Power*.

⁴Más información sobre *entradas y salidas de propósito general* en capítulo 2, página 12.

⁵Más información sobre la *placa OOC D Link* en capítulo 3. Sobre el proceso de configuración refiérase a la sección *Configuración de la FPGA* del capítulo 2, página 6.

2. La placa PHR

El chip FPGA

Características principales

- Número de compuertas: 200K
- Celdas lógicas equivalentes: 4032
- CLBs: 448 (distribuidos en 32 filas y 16 columnas)
- Bits de RAM distribuida: 28K
- Bits de bloques de RAM: 288K
- Multiplicadores dedicados: 16
- DCMs: 4
- Máximo número de E/S = 248
- E/S pares diferenciales máximo: 112

Descripción de la arquitectura

La familia Spartan-3A tiene cinco bloques fundamentales a tener en cuenta respecto de la arquitectura:

Bloques Lógicos Configurables (CLBs) contienen *Look-Up Tables* (LUTs) que implementan funciones lógicas y además sirven como elementos de almacenamiento.

Bloques de Entrada/Salida (IOBs) controlan el flujo de datos entre los pines de E/S y la lógica interna del dispositivo. Los IOBs soportan datos en forma bidireccional además de la operación 3-state.

Bloque de RAM sirve como forma de almacenamiento.

Bloques multiplicadores aceptan como entrada dos números de 18 bits cada uno y calcula el producto entre ambos.

Bloque DCM (*Digital Clock Manager*) tiene la capacidad para distribuir, retardar, multiplicar, dividir y desplazar en fase las señales de clock.

Para el caso del chip XC3S200A, la Fig. 2.1 muestra la organización de estos bloques fundamentales dentro del dispositivo. Los IOBs se ubican alrededor de la matriz de CLBs. Los bloques de memoria RAM se encuentran en dos columnas, en cada una se disponen varios bloques de RAM de 18 Kbit asociados con un multiplicador dedicado. Dos DCMs se ubican en el centro hacia arriba y otros dos en el centro hacia abajo.

Capacidades de E/S

La familia Spartan-3A soporta varios estándares para sus entradas y salidas que deberán ser configurados apropiadamente para el uso específico.

- Terminales simples
 - TTL de 3.3V (LVTTL).
 - CMOS de bajo voltaje (LVCMOS) en tensiones de 3.3V, 2.5V, 1.8V, 1.5V o 1.2V.
 - PCI de 3.3V a frecuencias de 33MHz o 66MHz.
 - HSTL I, II y III a 1.5V y 1.8V (comúnmente usado en memorias).
 - SSTL I y II a 1.8V, 2.5V y 3.3V (comúnmente usado en memorias).
- Terminales diferenciales
 - Entradas/Salidas LVDS, mini-LVDS, RSFS y PPDS a 2.5V o 3.3V.
 - Bus LVDS a 2.5V.
 - TMDS a 3.3V.

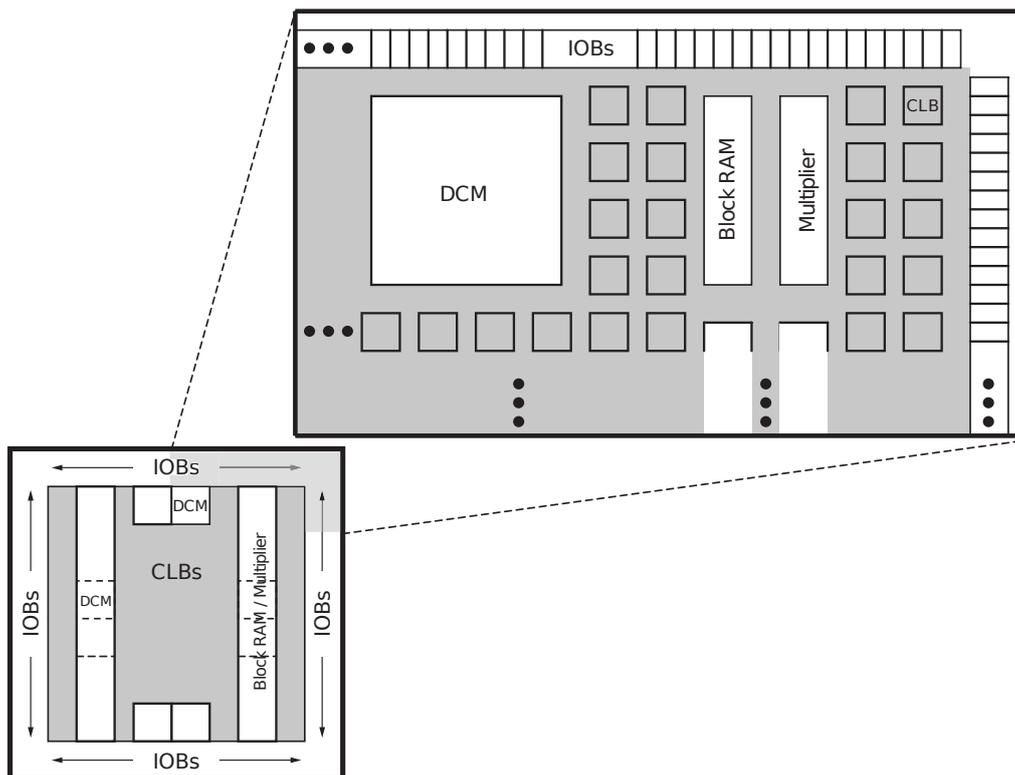


Figura 2.1: Bloques fundamentales de la FPGA.

- HSTL y SSTL diferenciales.
- Entradas LVPECL a 2.5V y 3.3V.

Requerimientos de alimentación

El chip XC3S200A tiene varias entradas de alimentación que se describen de manera sucinta en la Tabla 2.1. La FPGA cuenta con un circuito especializado de *Power-On Reset* (POR) que controla tres tensiones de alimentación (VCCINT, VCCAUX y VCCO2) y mantiene al chip en estado de reset hasta que se alcanzan los niveles seguros de trabajo para proseguir con la carga del sistema.

Entrada	Descripción
VCCINT	Es la tensión de alimentación del núcleo interno. Alimenta las funciones lógicas internas como los CLBs (<i>Bloques Lógicos Configurables</i>) y los bloques de RAM.
VCCAUX	Fuente de tensión auxiliar. Alimenta elementos tales como los DCMs (<i>Digital Clock Managers</i>), <i>drivers</i> diferenciales, pines de configuración dedicados y la interfaz JTAG.
VCCO0	Alimenta los buffers de salida del Banco de E/S número 0.
VCCO1	Alimenta los buffers de salida del Banco de E/S número 1.
VCCO2	Alimenta los buffers de salida del Banco de E/S número 2.
VCCO3	Alimenta los buffers de salida del Banco de E/S número 3.

Tabla 2.1: Voltajes de alimentación para la familia Spartan-3A.

A diferencia de otras FPGAs, la XC3S200A no tiene requerimientos respecto de la secuencia en se deben activar las fuentes de alimentación, pero si respecto de la pendiente de arranque. Los tiempos de pendiente recomendados se muestran en la Tabla 2.2.

Para más información referida al sistema de alimentación ver el Capítulo 4 en la pág. 15.

Símbolo	Descripción	Min	Max
VCCINTR	Rampa desde GND a VCCINT	0.2 ms	100 ms
VCCAUXR	Rampa desde GND a VCCAUX	0.2 ms	100 ms
VCCO2R	Rampa desde GND a VCCO del Banco 2	0.2 ms	100 ms

Tabla 2.2: Tiempos de crecimiento para las rampas al encender las fuentes de alimentación.

Configuración de la FPGA

La FPGA al inicializarse no contiene dato alguno y para que trabaje como lo desea el usuario debe pasar por el proceso de *configuración*. Los datos se cargan desde el exterior en registros de configuración CMOS (CCLs según las iniciales en inglés) y usando alguno de los siguientes modos aplicables a la familia Spartan-3A:

- *Master Serial* desde una memoria PROM Flash de Xilinx.
- *Serial Peripheral Interface* (SPI) desde una memoria Flash SPI.
- *Byte Peripheral Interface* (BPI) desde una memoria NOR Flash.
- *Slave Serial*, típicamente cargada desde un procesador.
- *Slave Parallel*, típicamente cargada desde un procesador.
- *Boundary Scan* (JTAG), típicamente cargada desde un procesador.

La elección de cada uno de los modos se hace mediante tres pines de la FPGA a los que se hace referencia con M[2:0]. La Tabla 2.3 muestra cuáles son los valores lógicos de los modos aplicables para esta familia de FPGA, y se resaltan aquellos a los que se recurre en la placa PHR.

Pines M[2:0]	Modo
<0:0:0>	Modo Master Serial
<0:0:1>	Modo Master SPI
<0:1:0>	BPI Up
<0:1:1>	Reservado
<1:0:0>	Reservado
<1:0:1>	Modo JTAG
<1:1:0>	Modo Slave Parallel
<1:1:1>	Modo Slave Serial

Tabla 2.3: Ajuste de los modos de configuración para la familia Spartan-3A. Se resaltan los usados en la placa PHR.

En la placa PHR los modos utilizados son el *JTAG* (a través de la placa OOCDFLink) y el *Master Serial* (desde la memoria PROM XCF02S). Cuando se elige el primer método se configura el chip con una computadora que debe correr una aplicación al efecto. Asimismo, para aplicar el segundo método, hay que usar la placa OOCDFLink para programar la PROM al menos una vez. De ahí en más, con cada ciclo de arranque de la FPGA, ésta tendrá la posibilidad de trabajar en forma independiente de la computadora cargando los datos pre-grabados en la memoria.

La Fig. 2.2 muestra el diagrama de cómo se ve la elección del modo de configuración a un nivel físico. Sin puente alguno se leen 3.3V en los pines M0 y M2, mientras que se lee 0V en M1 (la FPGA recibirá los datos desde JTAG). Al colocar un *jumper* entre los pines 1 y 2 la tensión de M0 y M2 es de 0 V (la FPGA intentará cargar desde la PROM).

A nivel de usuario la selección se trata simplemente de cambiar la posición del jumper indicado con 5 en la Fig. 1.3. Una ilustración de las dos posibles vías que toman los datos para alcanzar la FPGA se muestra en la Fig. 2.3.

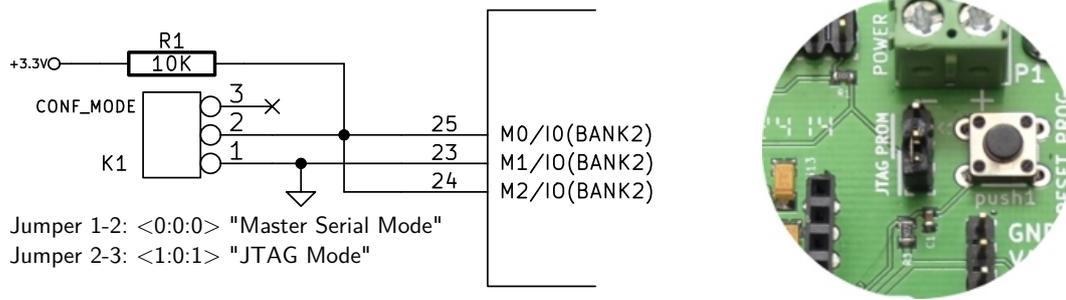


Figura 2.2: Modos de configuración.

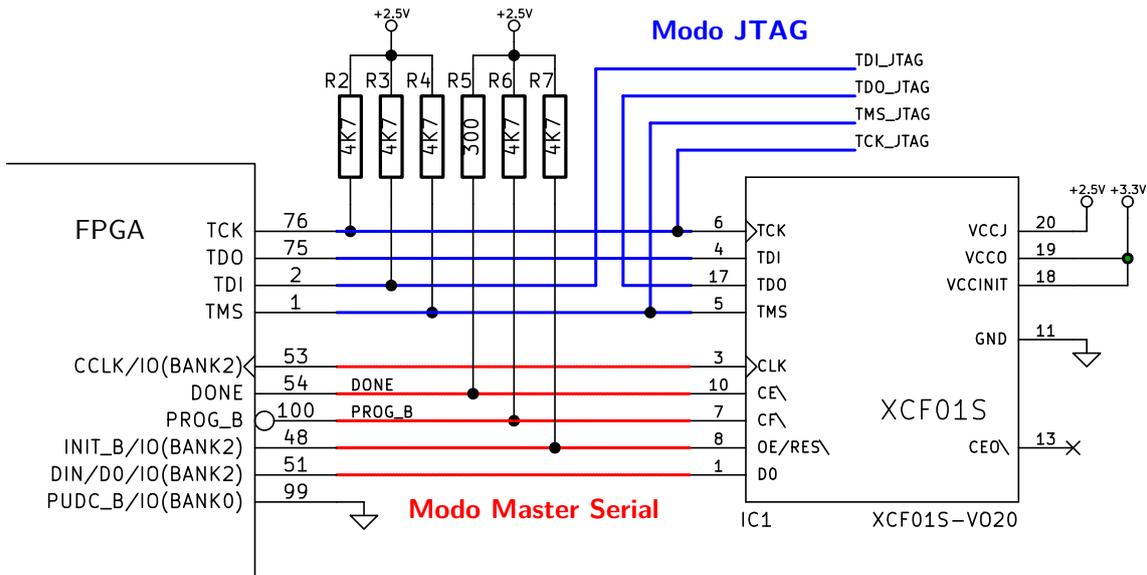


Figura 2.3: Modos de configuración.

Fuentes de clock

La placa PHR provee a la FPGA de cuatro fuentes de reloj. El más rápido de ellos tiene una frecuencia de oscilación fija de 50 MHz. El resto tienen frecuencias seleccionables por usuario. En la Fig. 1.3 se indican con el número 1 los *jumpers* con los cuales se eligen las frecuencias para estos relojes.

Los pines de la FPGA a los cuales se asignan cada clock se muestran en la Tabla 2.4. Estos son pines de *Global Clock* que están especialmente diseñados para tratar señales de alta frecuencia. Proveen una capacidad asociada muy baja y un retardo uniforme para cada bloque dentro del chip.

Reloj	Fijo (50 MHz)	Reloj seleccionable 1	Reloj seleccionable 2	Reloj seleccionable 3
Pin	43	44	41	40

Tabla 2.4: Pines para los relojes.

El reloj de 50 MHz

Esta frecuencia se genera con el dispositivo ACOL-50MHZ-EK, que tiene un oscilador a cristal y encuentra aplicaciones en chips digitales y microprocesadores. Se alimenta con un bajo nivel de tensión (3.3V) y su salida es compatible con HCMOS y TTL.

Relojes seleccionables

El conjunto de relojes se basa en un cristal y el chip contador MC74HC4060A. Una frecuencia principal de 16 MHz es dividida en dos sucesivamente por el contador para obtener todas las frecuencias seleccionables.

Los pines para selección de los relojes se muestran en la Fig. 2.4. En los primeros dos relojes se puede elegir una de entre cuatro frecuencias mientras que para el tercer reloj se puede elegir una de entre tres frecuencias.

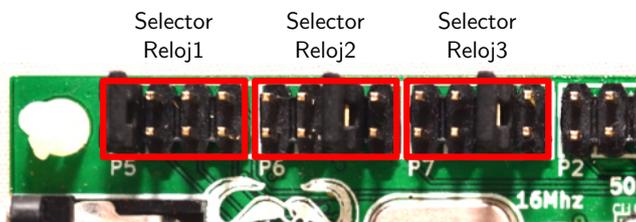


Figura 2.4: Selectores de los relojes en la placa.

El conexionado de los jumpers para los clocks se muestra junto con las posibles frecuencias seleccionables en la Fig. 2.5.

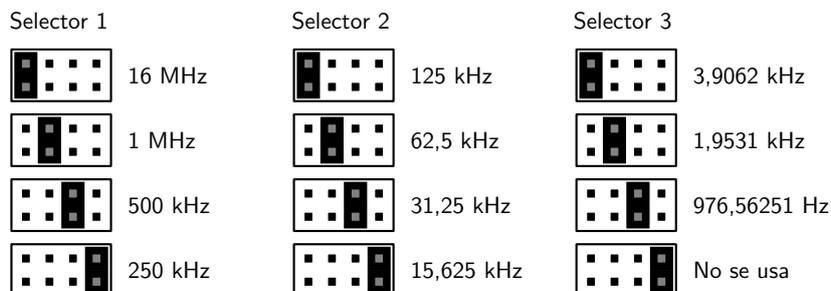


Figura 2.5: Disposición de los jumpers para la configuración de los relojes.

Periféricos

LEDs

En la placa se encuentran ocho LEDs de montaje superficial indicados con el numero 10 en la Fig. 1.3. Son etiquetados desde LED1 a LED8 y su relación con los pines de la FPGA se muestra en la Tabla 2.5.

Periférico	LED1	LED2	LED3	LED4	LED5	LED6	LED7	LED8
Pin	84	86	89	93	98	3	5	9

Tabla 2.5: Correspondencia entre los pines de la FPGA y los LEDs (periféricos).

Los cátodos de cada LED se conectan a potencial cero y los ánodos se conectan a los pines respectivos de la FPGA mediante un resistencia de 330 Ω . Para encender un determinado LED basta con poner en alto la señal de control.

Pulsadores (*Tact switches*)

Están disponibles cuatro botones pulsadores como los esquematizados en la Fig. 2.6 y son identificados con el numero 13 en la Fig. 1.3. Los mismos son etiquetados como PBTN1, PBTN2, PBTN3

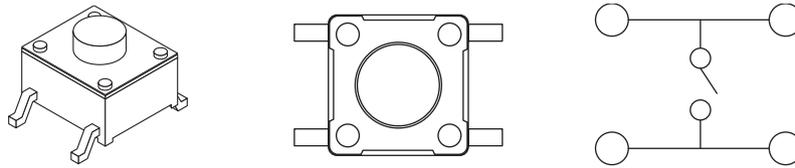


Figura 2.6: Tact switches.

Periférico	PBTN1	PBTN2	PBTN3	PBTN4
Pin	68	78	82	83

Tabla 2.6: Correspondencia entre los pines de la FPGA y los botones.

y PBTN4. Los pines de la FPGA relacionados con estos periféricos se identifican en la Tabla 2.6. El esquemático detallado del circuito puede encontrarse en el Apéndice B.

Cuando se presiona alguno de los botones se genera un valor lógico alto en el pin asociado de la FPGA. No hay circuito antirrebote y esto debe ser tenido en cuenta al momento de escribir el código que luego vaya a cargarse en el dispositivo.

Llaves DIP

Alternativamente a los pulsadores se pueden utilizar como periféricos de entrada unas llaves DIP como las que se muestran en la Fig. 2.7. La ubicación de las llaves en la placa PHR se muestra con el índice numero 11 en la Fig. 1.3. El circuito de estas llaves puede consultarse en el Apéndice B y los pines de la FPGA que los controlan se revelan en la Tabla 2.7.

Periférico	SW1	SW2	SW3	SW4	SW5	SW6	SW7	SW8
Pin	85	88	90	94	97	4	6	7

Tabla 2.7: Correspondencia entre los pines de la FPGA y las llaves.

Cuando una llave se coloca en la posición de *encendido*, el pin de la FPGA correspondiente se pone a un valor lógico *alto*. En contraposición, si la llave se coloca en la posición *apagado*, la FPGA leerá un valor lógico *bajo*. Al igual que con el caso de los botones pulsadores, no se provee un circuito antirrebote.

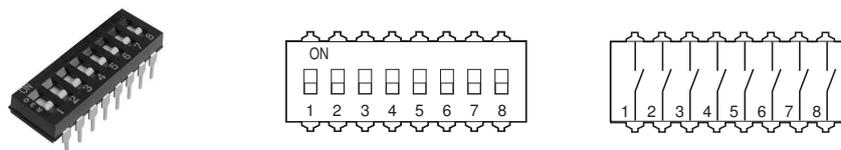


Figura 2.7: DIP switches.

Displays de 7 segmentos

La placa PHR cuenta con un display de siete segmentos cuádruple de *ánodo común* indicado con el índice 14 en la Fig. 1.3. El circuito de conexión entre la FPGA y el display se muestra en la Fig. 2.8 y se resalta la denominación alfabética para los segmentos de cada display.

Esta misma figura además muestra como ejemplo, el estado de los pines de la FPGA para indicar el numero 3 en la posición 2. Al tener esta configuración, cada LED encenderá con un *nivel bajo* en el pin correspondiente al segmento pero además necesitará que el ánodo del carácter particular esté energizado. Este ultimo también es activo por bajo (*active low*).

Para dar el efecto deseado de representar cuatro caracteres distintos a la vez, se recurre a la técnica de multiplexación en el dominio del tiempo. La técnica consiste en mostrar uno a uno y

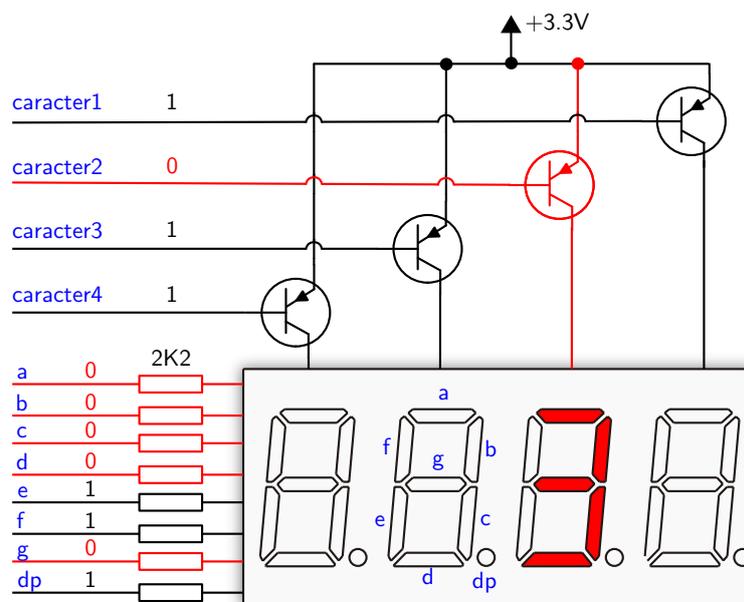


Figura 2.8: Conexión del display de siete segmentos cuádruple.

cíclicamente cada carácter a una frecuencia lo suficientemente alta para que el ojo humano perciba una imagen completa¹. Un diagrama temporal de las señales se muestra en la Fig. 2.9.

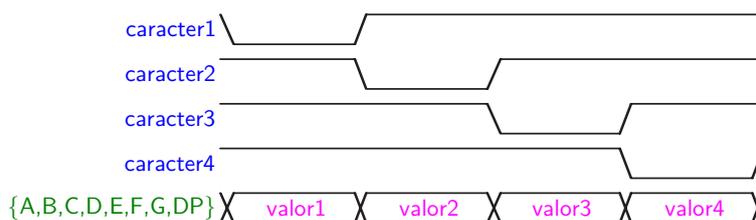


Figura 2.9: Diagrama temporal de la multiplexación.

Si bien el método requiere algo más de complejidad que la conexión directa a cada segmento de cada display, reduce el número de pines necesarios de $8 \times 4 = 32$ a $8 + 4 = 12$ lo cual representa un significativo ahorro en recursos de hardware.

La Tabla 2.8 muestra los pines de conexión de la FPGA a las distintas entradas del periférico. La Fig 2.10 muestra las representaciones de los caracteres comunes en los *displays* de siete segmentos. Además de los dígitos, se pueden utilizar los caracteres desde la A a la F para representar números en notación hexadecimal.

Periférico	Caracter1 (unidad)	Caracter2 (decena)	Caracter3 (centena)	Caracter4 (unid. de mil)
Pin	59	57	61	60

Segmento	A	B	C	D	E	F	G	DP
Pin	65	64	72	70	77	62	73	71

Tabla 2.8: Conexión del display de 7 segmentos cuádruple a la FPGA.

¹Una frecuencia de aproximadamente 1 kHz está disponible fácilmente para utilizar en el barrido.



Figura 2.10: Representación de caracteres comunes en los displays de siete segmentos.

Puerto serie

La placa PHR dispone de un puerto serial RS-232. El conector DB9 se señala con el número 15 en la Fig. 1.3. La designación de los pines del conector en la placa representa un *Data Communications Equipment* (DCE). Por lo tanto se puede conectar la plataforma PHR a una computadora personal a través de un cable serial punto-a-punto.

La Fig. 2.11 muestra el circuito de la interfaz entre la FPGA y el conector DB9. Un chip (ST3232) permite una alimentación de entre 3V y 5.5V y utiliza un conjunto de capacitores para alcanzar los niveles de tensión RS-232, garantizando tasas de transferencia de hasta 250 kbps.

El control de flujo por hardware está deshabilitado. Las líneas de DCD, DTR y DSR se conectan entre sí. Análogamente para las señales RTS y CTS.

Los pines de la FPGA que asignados al puerto serial se muestran en la Tabla 2.9.

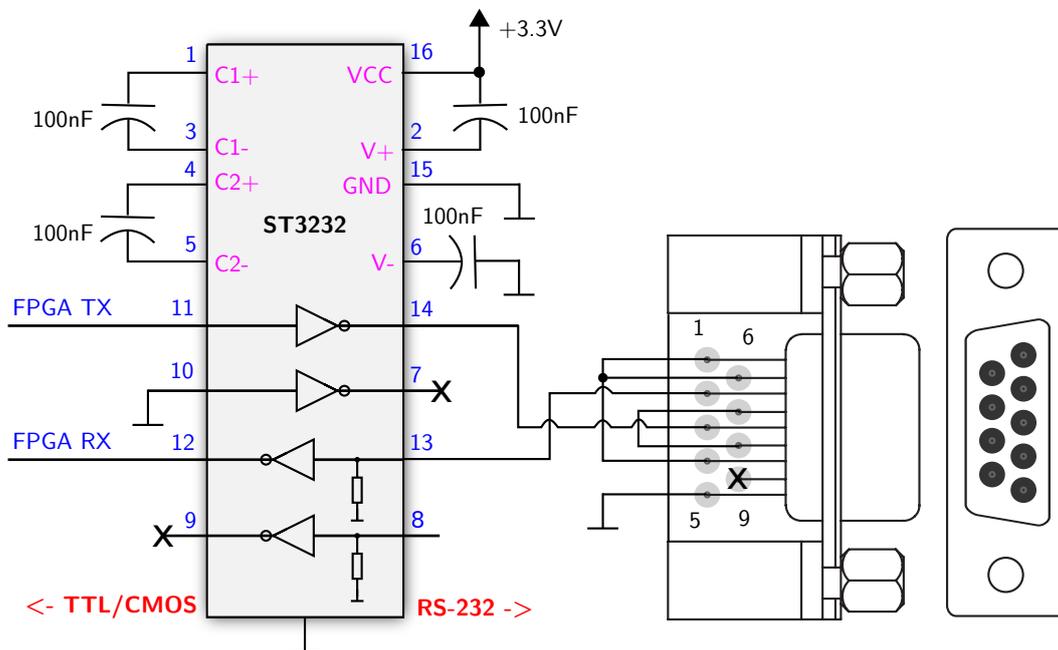


Figura 2.11: Circuito de la interfaz RS-232.

Señal serial	RX	TX
Pin en la FPGA	52	56

Tabla 2.9: Correspondencia entre los pines de la FPGA y el puerto serie RS-232.

Entradas y salidas de propósito general

Para que el usuario realice prototipos, use placas de expansión de terceros o diseñe sus propias placas de expansión, se provee un conector que puede reconocerse con el número 3 en la Fig. 1.3. Una imagen ampliada se muestra en la Fig. 2.12. La mayoría de estos pines están conectados directamente al chip FPGA tal como lo muestra la Tabla 2.10. También se proveen pines de alimentación de 3.3V y GND.

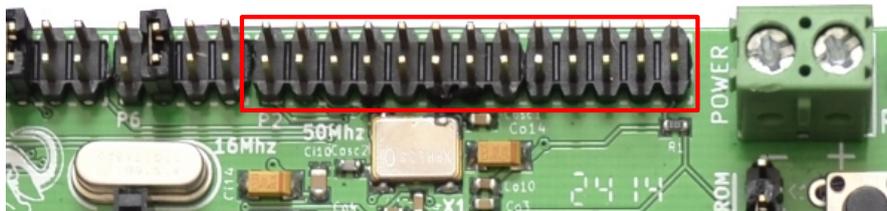


Figura 2.12: Conectores para entradas y salidas de propósito general.

GPIO P2					
Dir	Conectado a	Pin	Pin	Conectado a	Dir
E	FPGA Pin 39	1	2	FPGA Pin 50	E/S
E/S	FPGA Pin 37	3	4	FPGA Pin 49	E/S
E/S	FPGA Pin 36	5	6	FPGA Pin 46	E/S
E/S	FPGA Pin 35	7	8	FPGA Pin 34	E/S
E/S	FPGA Pin 33	9	10	FPGA Pin 32	E/S
E/S	FPGA Pin 31	11	12	FPGA Pin 30	E/S
E/S	FPGA Pin 29	13	14	FPGA Pin 28	E/S
E/S	FPGA Pin 27	15	16	FPGA Pin 21	E
E/S	FPGA Pin 20	17	18	FPGA Pin 19	E/S
E/S	FPGA Pin 16	19	20	FPGA Pin 15	E/S
E/S	FPGA Pin 13	21	22	FPGA Pin 12	E/S
E/S	FPGA Pin 10	23	24	No conectado	
	+3.3V	25	26	GND	

Tabla 2.10: Conexión de los pines para las entradas/salidas de propósito general.

3. La placa OOCdLink

Esta placa es la interfaz que permite la comunicación entre una computadora y la placa PHR. Su característica modular, o de circuito separado de la placa PHR principal, hace que su utilización no quede restringida a la FPGA y posibilita la interacción con los múltiples dispositivos que soportan JTAG.

La idea original de esta placa es parte de los pensamientos de Joern Kaipf quien publica su diseño en su sitio web¹.

La placa OOCdLink se muestra en la Fig. 3.1 donde también se identifican los elementos principales que la constituyen. Un esquemático más detallado se muestra en el Apéndice B.

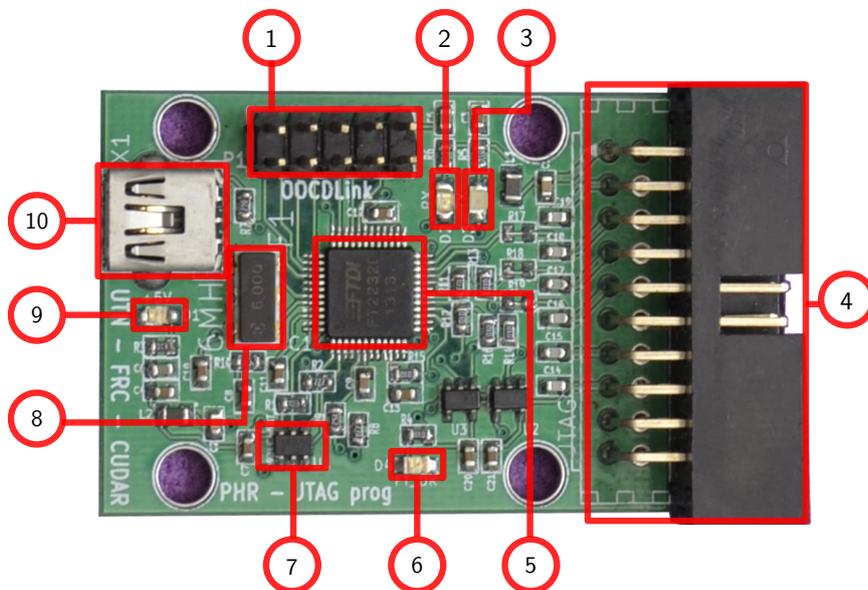


Figura 3.1: Componentes de la placa OOCdLink. 1) Conector UART, 2) LED RX (UART), 3) LED TX (UART), 4) Conector JTAG, 5) FT2232D, 6) LED FT_OK, 7) EEPROM, 8) Oscilador de 6 MHz, 9) LED Alimentación, 10) Conector USB 2.0.

El dispositivo que cumple la función primordial dentro de la placa OOCdLink es el chip FT2232D. Este es un convertor de USB a UART u otras interfaces seriales que dispone de dos canales de comunicación (*convertor dual*).

Si bien para el fin de configurar la FPGA es suficiente solo uno de los canales (configurado en modo JTAG), en la placa además se encuentra habilitado el segundo canal (configurado como UART) para que se use con propósitos generales. Los conectores para los canales JTAG y UART se indican en la Fig. 3.1 con los números 4 y 1 respectivamente.

El conector JTAG es el que debe usarse para el acoplamiento con la placa PHR mediante un adaptador que cambia la disposición mecánica de los pines.

La placa OOCdLink tiene varios LEDs indicadores. El LED numerado con 9 en la Fig. 3.1 se ilumina cuando la placa está encendida. Aquellos demarcados con los números 2 y 3 (RX y TX) encienden cuando el chip tiene flujos de datos en la UART. El LED indicado con 6 (FT_OK) señala si hay un dispositivo JTAG activo y conectado a la placa OOCdLink.

¹Diríjase a <http://www.oocdlink.com/>.

El chip FT2232D

Algunas características del FT2232D que se pueden destacar son:

- Cumple con las especificaciones de USB 2.0 Full Speed (12 Mbits/sec).
- Simplifica la comunicación de USB con los protocolos de comunicaciones seriales JTAG, I2C y SPI.
- Tiene una tasa de transferencia de entre 300 y 3 MBaud.
- Desde el sistema operativo, la interfaz puede verse como un *puerto serie virtual* (necesita el controlador que provee el fabricante sin costo adicional).
- También están disponibles librerías para facilitar el uso de JTAG, I2C y SPI (compatible con sistemas Windows y Linux).

La Fig. 3.2 muestra de manera esquemática el funcionamiento del chip aplicado a la placa OOCDFLink.

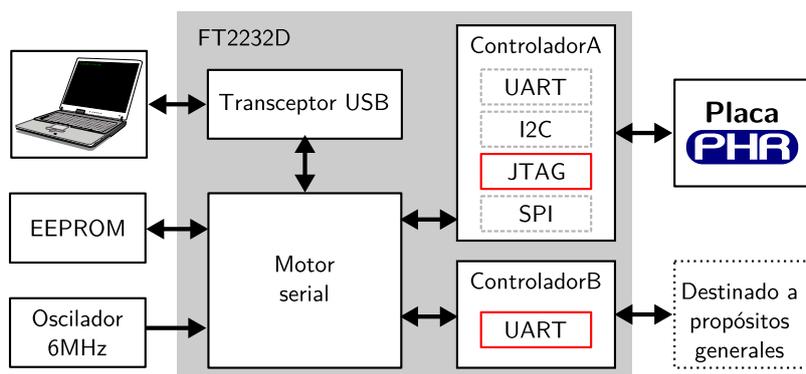


Figura 3.2: Empleo del chip FT2232D.

El chip necesita que por fuera se provean una memoria EEPROM (para almacenar los datos de configuración) y una señal de reloj de 6 MHz.

El flujo de datos (descrito desde la computadora del usuario) comienza por el bus de comunicaciones USB (función en la que interviene el *transceptor USB*), luego sigue a través del *Motor serial* (que podría considerarse el núcleo del sistema) y continúa por alguno de los dos controladores capaces de manejar protocolos seriales.

El canal A es el que efectivamente permite implementar una interfaz JTAG cuando trabaja en el modo denominado *MPSSE (Multi-Protocol Synchronous Serial Engine)*. El canal B tiene posibilidades de funcionamiento más acotadas por lo que se usa como UART.

Para usar apropiadamente las interfaces se pueden usar los controladores de sistema operativo que el fabricante pone a disposición de los usuarios de Windows y Linux.

4. La placa S3Power

Tal como se describió en el capítulo 2, el chip FPGA tiene requerimientos de tensión que deben satisfacerse para que funcione correctamente. Para cumplir con las especificaciones se utiliza la placa S3Power¹, que fue desarrollada por el *Instituto Nacional de Tecnología Industrial* (INTI) y que está disponible bajo licencia GNU. Una imagen de la placa se muestra en la Fig. 4.1 en donde también se señalan sus principales elementos.

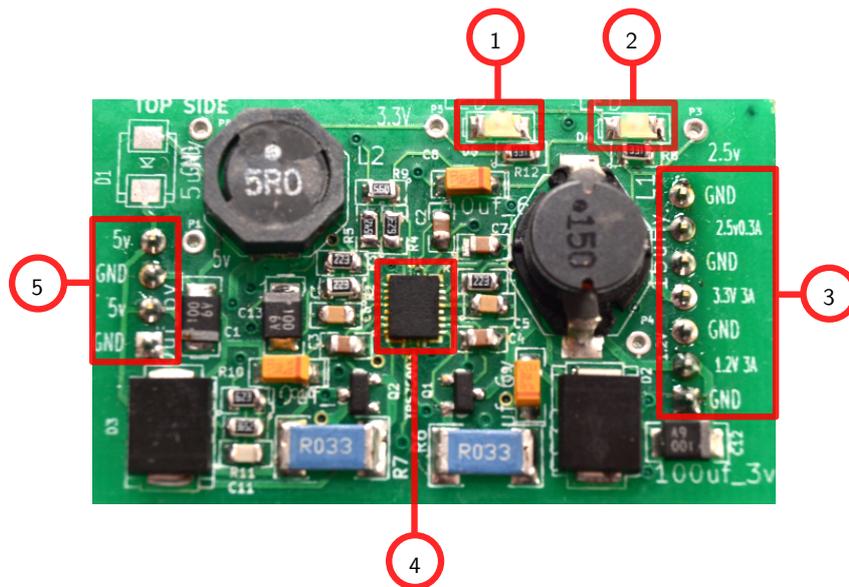


Figura 4.1: Componentes de la placa S3Power. Las distintas partes resaltadas representan: 1) LED de tensión VCCO, 2) LED de tensión VCCAUX, 3) Conector de salida de la placa, 4) Chip TPS75003, 5) Conector de tensión de entrada.

La placa se alimenta con una tensión de 5V y en la salida es capaz de proporcionar tres valores de tensión regulados:

- 1.2V y 2.5A para la lógica interna.
- 3.3V y 2.5A para los bancos de pines.
- 2.5V y 200mA para el módulo de comunicación JTAG.

El componente principal de la placa es el chip TPS75003 que no solo se encarga de regular las tensiones, sino que además asegura un arranque lo suficientemente suave para las FPGAs actuales y sus predecesoras con requerimientos más exigentes. Un diagrama temporal de la respuesta en el arranque se muestra en la Fig. 4.2.

El chip TPS75003

Este chip es un regulador de tensiones de *Texas Instruments* especialmente diseñado para servir de fuente para las familias de FPGA de Xilinx Spartan-3, Spartan-3E y Spartan-3L. Entre las características más importantes se pueden mencionar:

- Posee tres reguladores de tensión: dos tipo Buck de 3A y eficiencia del 95% y otro regulador lineal de 300mA.
- Voltaje de entrada de entre 2.2V y 6.5V.

¹Puede consultar el artículo *Módulo de alimentación para placas con dispositivos FPGA*, por Christian Huy y Diego Brengi, del *Instituto Nacional de Tecnología Industrial*.

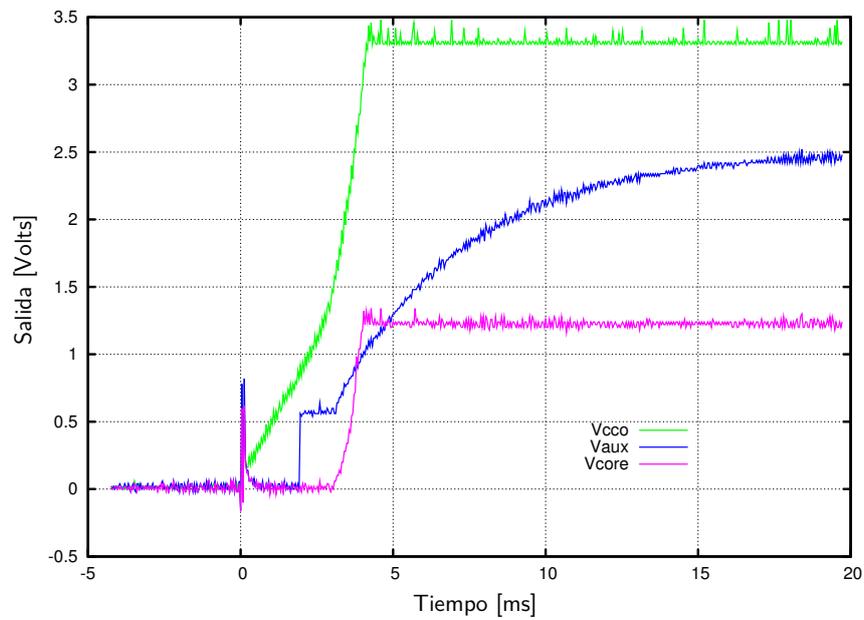


Figura 4.2: Tensiones de salida en el arranque.

- Arranque suave e independiente para cada regulador.
- Tensiones ajustables de 1.2V a 6.5V para los convertidores Buck y de 1.0V a 6.5V para el convertidor lineal.

5. Software

Para transferir el diseño del usuario a la FPGA, PHR se sirve de las funciones de *xc3sprog*¹, un conjunto de aplicaciones de licencia libre que funciona en línea de comandos y que puede programar varios dispositivos mediante JTAG. Su nombre hace referencia a que inicialmente fue diseñado para la familia de FPGA Spartan-3 de Xilinx. Sin embargo se ha extendido el manejo a otros tipos de dispositivos que incluyen otras FPGAs, CPLDs, XCF flash PROMs, microprocesadores AVR de Atmel y memorias flash SPI. Xc3sprog soporta varios cables JTAG, incluyendo cables de puerto paralelo y programadores USB.

No obstante su funcionalidad, *xc3sprog* puede resultar no intuitivo para el usuario principiante, por lo que se ofrece una interfaz gráfica para invocar a *xc3sprog* de una manera muy simple.

PHR GUI

La Fig. 5.1 muestra la ventana de la aplicación a la que se denomina *PHR GUI*. Se encuentra disponible para los sistemas operativos GNU/Linux y Windows.

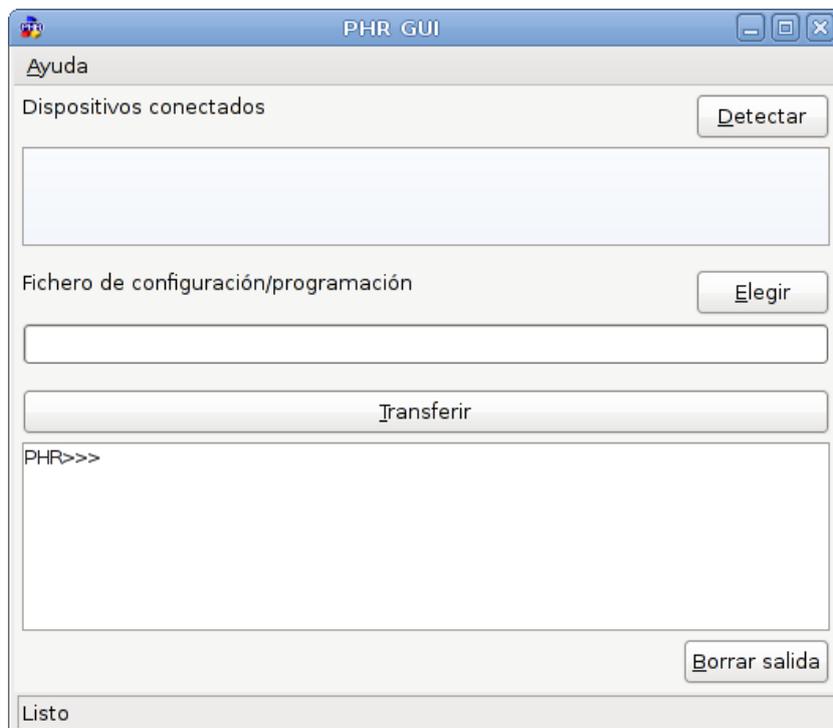


Figura 5.1: Interfaz gráfica de usuario PHR GUI v0.1.

Funciones básicas

El software permite la realización de las siguientes tareas básicas:

Configurar la FPGA Transfiere un diseño sintetizado en el formato BIT de Xilinx a la FPGA. Los datos son volátiles.

```
...
Using built-in device list
Using built-in cable list
```

¹<http://xc3sprog.sourceforge.net/>

```
Cable ftdi type ftdi VID 0x0403 PID 0x6010 dbus data 00 enable 0b cbus data
00 data 00
Using FTD2XX, Using JTAG frequency 1200000
JTAG chainpos: 0 Device IDCODE = 0x02218093 Desc: XC3S200A
Created from NCD file: test1_top.ncd;UserID=0xFFFFFFFF
Target device: 3s200avq100
Created: 2014/03/19 18:31:15
Bitstream length: 1196128 bits
DNA is 0x95cde80efb9ba0fe
done. Programming time 1044.1 ms
USB transactions: Write 84 read 9 retries 0
```

Programar la PROM Transfiere un diseño sintetizado en el formato BIT de Xilinx a la PROM. Los datos se guardan incluso cuando el circuito es desconectado de la alimentación.

```
...
JTAG chainpos: 1 Device IDCODE = 0xd5045093 Desc: XCF02S
Erasing.....done
Erase time 3129.2 ms
Programming does not end at block boundary (nbits = 1196128), padding

Programming block      0/   293 at XCF frame 0x0000.
...
Programming block    292/   293 at XCF frame 0x2480.done
Programming time 2802.2 ms

Verify block          0/   293 at XCF frame 0x0000
...
Verify block        278/   293 at XCF frame 0x22c0
VerSuccess! Verify time 1893.1 ms
USB transactions: Write 1815 read 906 retries 0
```

Obtención de PHR GUI

El software PHR GUI se puede descargar de la sección de Descargas en sitio web del proyecto en OpenCores:

<http://opencores.org/project,phr,descargas>.

Asimismo se puede obtener la *Guía de instalacion y uso* de la interfaz donde se explica mejor todo lo referente a la aplicación.

A. Conexiones de la FPGA

P1	JTAG TMS	P51	Memoria DO
P2	JTAG TDI	P52	RS232 RX
P3	Periférico LED 6	P53	Memoria CLK
P4	DIP switch - Llave 6	P54	Memoria DONE
P5	Periférico LED 7	P55	VCCAUX (2.5V)
P6	DIP switch - Llave 7	P56	RS232 TX
P7	DIP switch - Llave 8	P57	Display - Carácter 2
P8	Ground	P58	Ground
P9	Periférico LED 8	P59	Display - Carácter 1
P10	GPIO - Pin 23	P60	Display - Carácter 4
P11	VCCO 3 (3.3V)	P61	Display - Carácter 3
P12	GPIO - Pin 22	P62	Display - Segmento F
P13	GPIO - Pin 21	P63	Ground
P14	Ground	P64	Display - Segmento B
P15	GPIO - Pin 20	P65	Display - Segmento A
P16	GPIO - Pin 19	P66	VCCINT (1.2V)
P17	VCCINT (1.2V)	P67	VCCO 1 (3.3V)
P18	Ground	P68	Botón 1
P19	GPIO - Pin 18	P69	Ground
P20	GPIO - Pin 17	P70	Display - Segmento D
P21	GPIO - Pin 16	P71	Display - Segmento DP
P22	VCCAUX (2.5V)	P72	Display - Segmento C
P23	Selector de configuración 1	P73	Display - Segmento G
P24	Selector de configuración 2	P74	Ground
P25	Selector de configuración 0	P75	JTAG TDO
P26	VCCO 2 (3.3V)	P76	JTAG TCK
P27	GPIO - Pin 15	P77	Display - Segmento E
P28	GPIO - Pin 14	P78	Botón 2
P29	GPIO - Pin 13	P79	VCCO 0 (3.3V)
P30	GPIO - Pin 12	P80	Ground
P31	GPIO - Pin 11	P81	VCCINT (1.2V)
P32	GPIO - Pin 10	P82	Botón 3
P33	GPIO - Pin 9	P83	Botón 4
P34	GPIO - Pin 8	P84	Periférico LED 1
P35	GPIO - Pin 7	P85	DIP switch - Llave 1
P36	GPIO - Pin 5	P86	Periférico LED 2
P37	GPIO - Pin 3	P87	Ground
P38	VCCINT (1.2V)	P88	DIP switch - Llave 2
P39	GPIO - Pin 1	P89	Periférico LED 3
P40	Clock seleccionable 3	P90	DIP switch - Llave 3
P41	Clock seleccionable 2	P91	Ground
P42	Ground	P92	VCCAUX (2.5V)
P43	Clock 50MHz	P93	Periférico LED 4
P44	Clock seleccionable 1	P94	DIP switch - Llave 4
P45	VCCO 2 (3.3V)	P95	Ground
P46	GPIO - Pin 6	P96	VCCO 0 (3.3V)
P47	Ground	P97	DIP switch - Llave 5
P48	Memoria INIT	P98	Periférico LED 5
P49	GPIO - Pin 4	P99	Memoria PUDC
P50	GPIO - Pin 2	P100	Memoria PROG

B. Esquemáticos

En sucesivas páginas se muestran los esquemáticos completos para las tres placas utilizadas en el proyecto. Las hojas aparecen en el mismo orden del siguiente listado que explica brevemente cada esquemático:

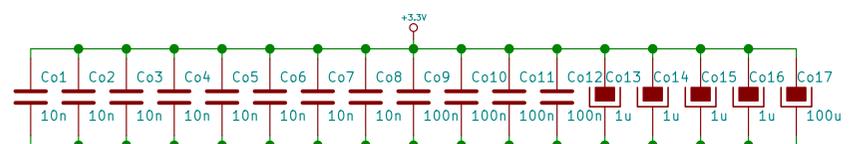
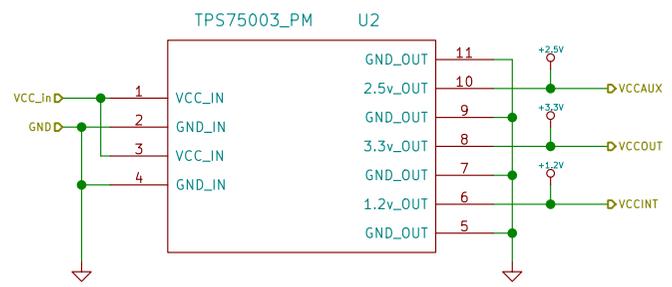
PHRboard.sch Muestra el chip FPGA y la conexión de sus pines.

PHRboard_power.sch Muestra la red de capacitores de desacople y bypass.

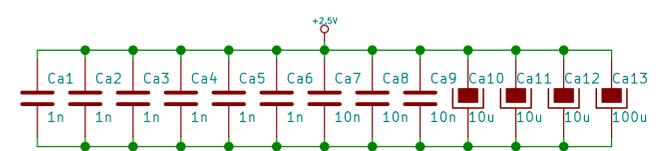
PHRboard_IOports.sch En esta hoja se describen mayormente los periféricos de la placa PHR.

OOCD_placa.sch Es la placa *OOCDLink* encargada de la comunicación con la PC.

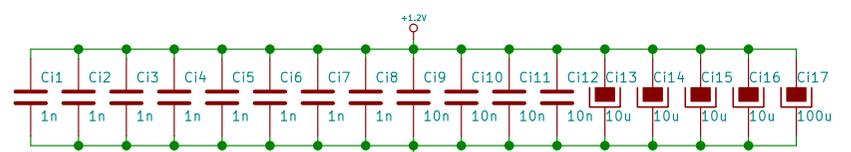
S3Proto_Power.sch Es la placa *S3Power* que provee la energía para el resto de los circuitos.



Capacitores bypass para VCCO (puertos I/O) . Cálculo según XAPP158 y XAPP623

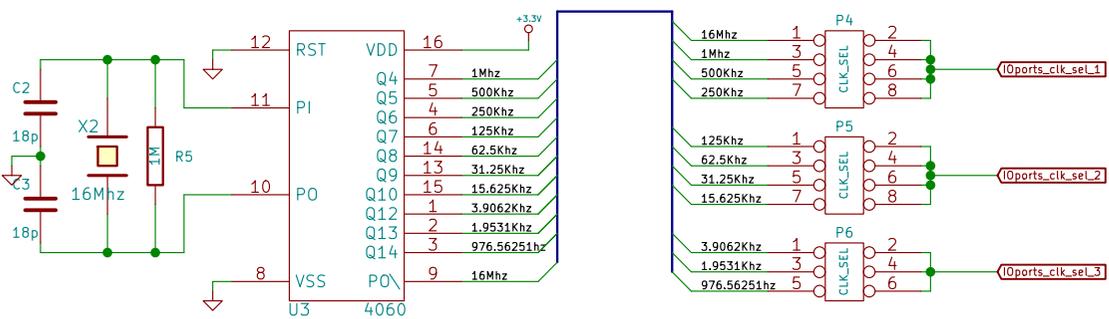
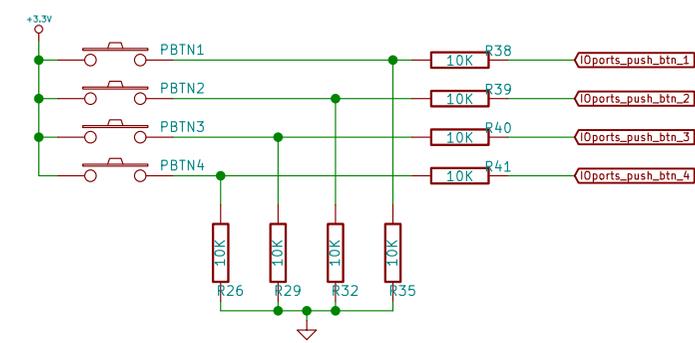
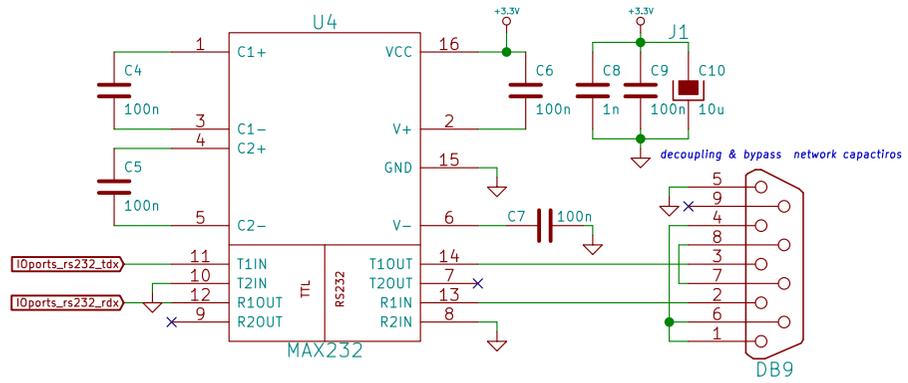
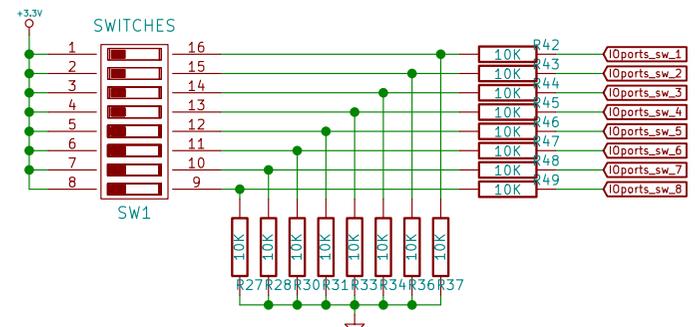
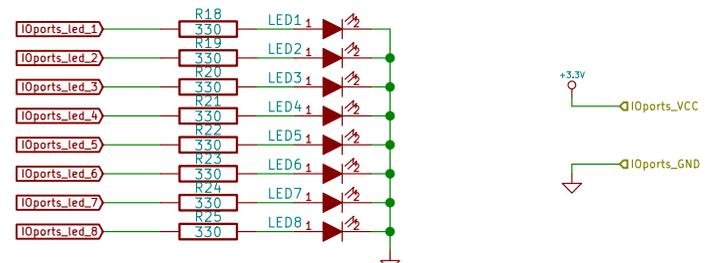
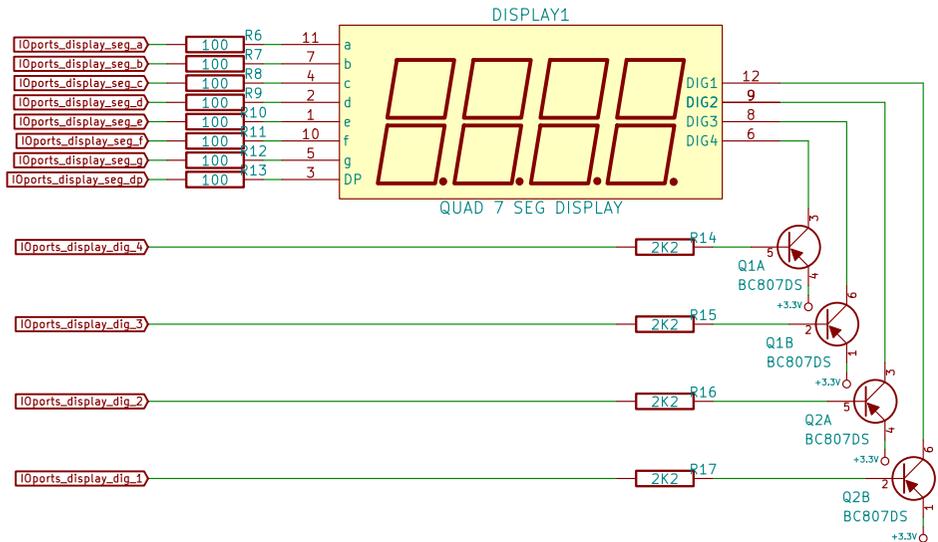


Capacitores bypass para VCC_AUX.



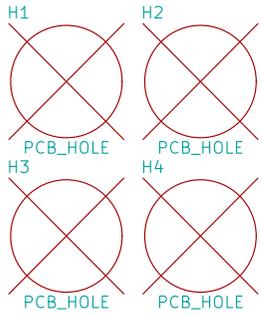
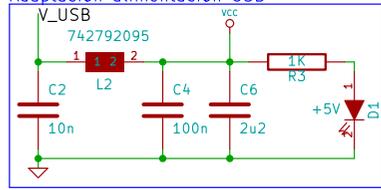
Capacitores bypass para VCC_INT. Cálculo según XAPP158 y XAPP623

Sheet: /Power/		
File: PHRboard_power.sch		
Title:		
Size: A4	Date: 17 apr 2014	Rev:
KiCad E.D.A. kicad 0.201501290101+539320ubuntu14.10.1-product		Id: 2/3

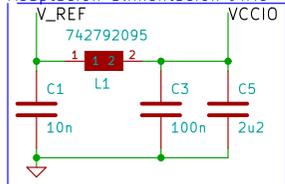


Facultad Regional Córdoba
 Universidad Tecnológica Nacional
Centro Universitario de Automoción y Robótica
 Sheet: /IOports/
 File: PHRboard_IOports.sch
Title: PHR Board
 Size: A4 Date: 17 apr 2014
 KiCad E.D.A. kicad 0.201501290101+539320ubuntu14.10.1-product
 Rev: 1.0
 Id: 3/3

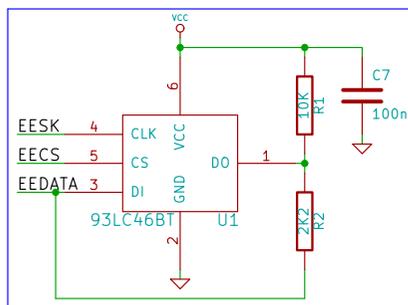
Adaptación alimentación USB



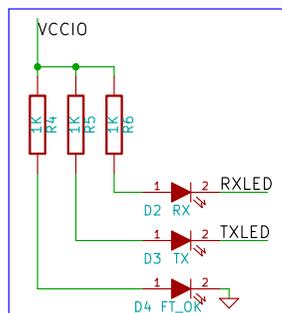
Adaptación alimentación JTAG



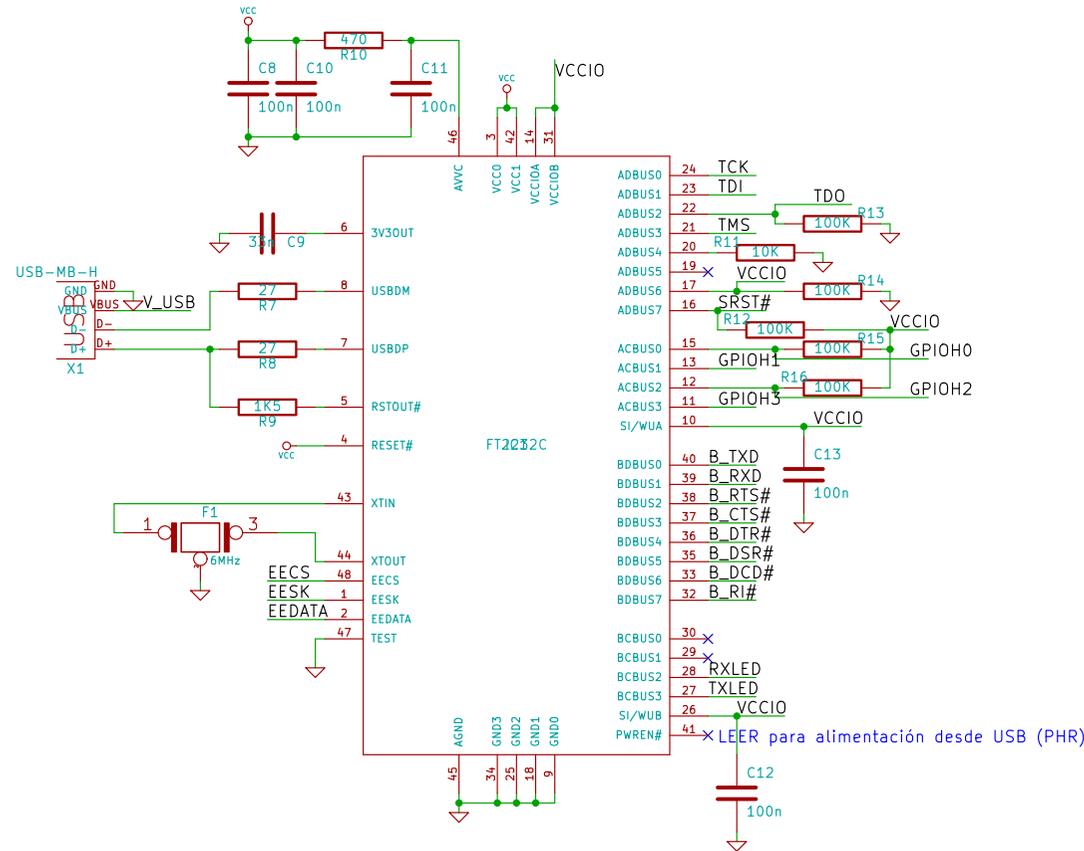
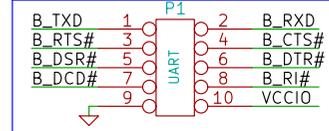
EEPROM



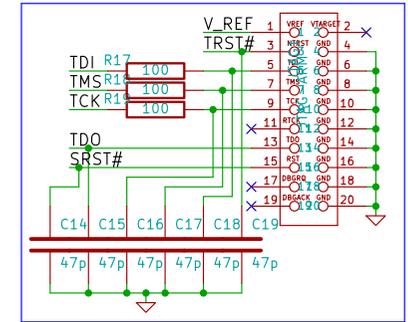
INDICADORES



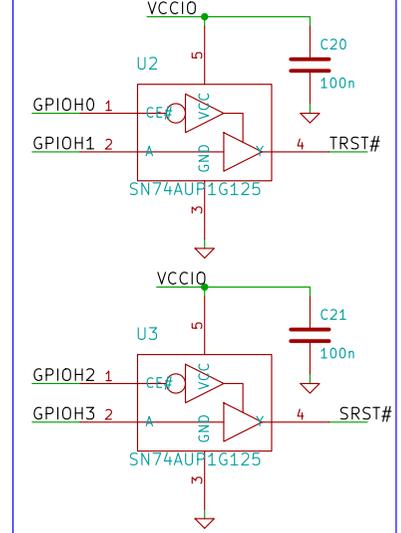
CONECTOR UART



CONECTOR JTAG (ARM)



BUFFER/3STATE



File: OOCd_placa.sch

Sheet: /

Title:

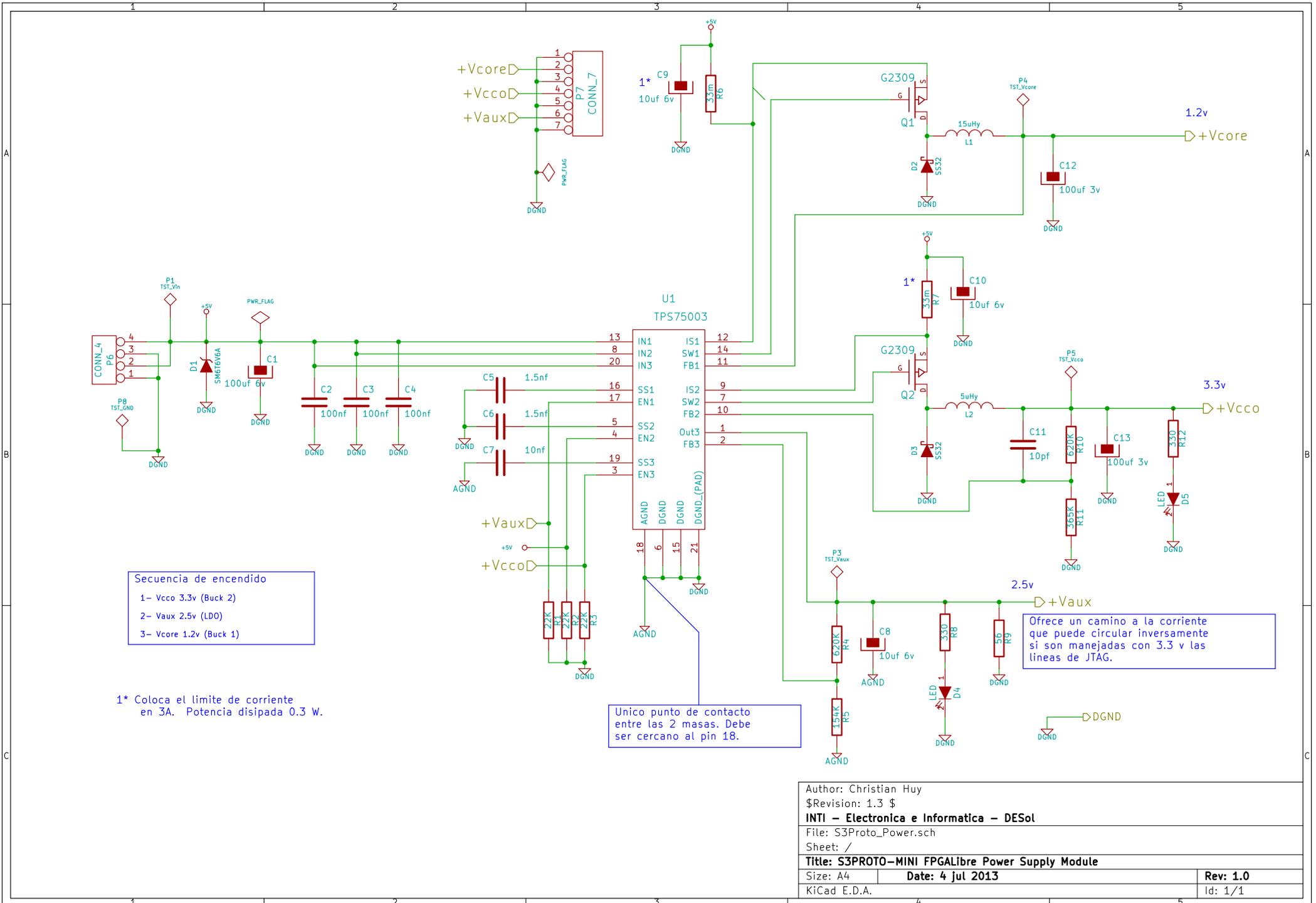
Size: A4

Date: 25 aug 2013

Rev:

KiCad E.D.A.

Id: 1/1



Secuencia de encendido

- 1- Vcco 3.3v (Buck 2)
- 2- Vaux 2.5v (LDO)
- 3- Vcore 1.2v (Buck 1)

1* Coloca el limite de corriente en 3A. Potencia disipada 0.3 W.

Unico punto de contacto entre las 2 masas. Debe ser cercano al pin 18.

Ofrece un camino a la corriente que puede circular inversamente si son manejadas con 3.3 v las lineas de JTAG.

Author: Christian Huy	
Revision: 1.3 \$	
INTI - Electronica e Informatica - DESol	
File: S3Proto_Power.sch	
Sheet: /	
Title: S3PROTO-MINI FPGALibre Power Supply Module	
Size: A4	Date: 4 jul 2013
KiCad E.D.A.	Rev: 1.0
	Id: 1/1

PHR

CUDAR