



UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CORDOBA
DEPARTAMENTO INGENIERÍA ELECTRÓNICA



Primera Presentación



Plataforma de Hardware Reconfigurable

Alumno : Luis Alberto Guanuco

Legajo : 49544

Año Académico : 2011



Introducción

Se da comienzo al desarrollo del proyecto final denominado "Plataforma de Hardware Reconfigurable". Éste proyecto responde a la planificación presentada en la Cátedra "Proyecto Final" y el mismo tiene un diagrama de Gantt que permite su seguimiento, Figura 1.

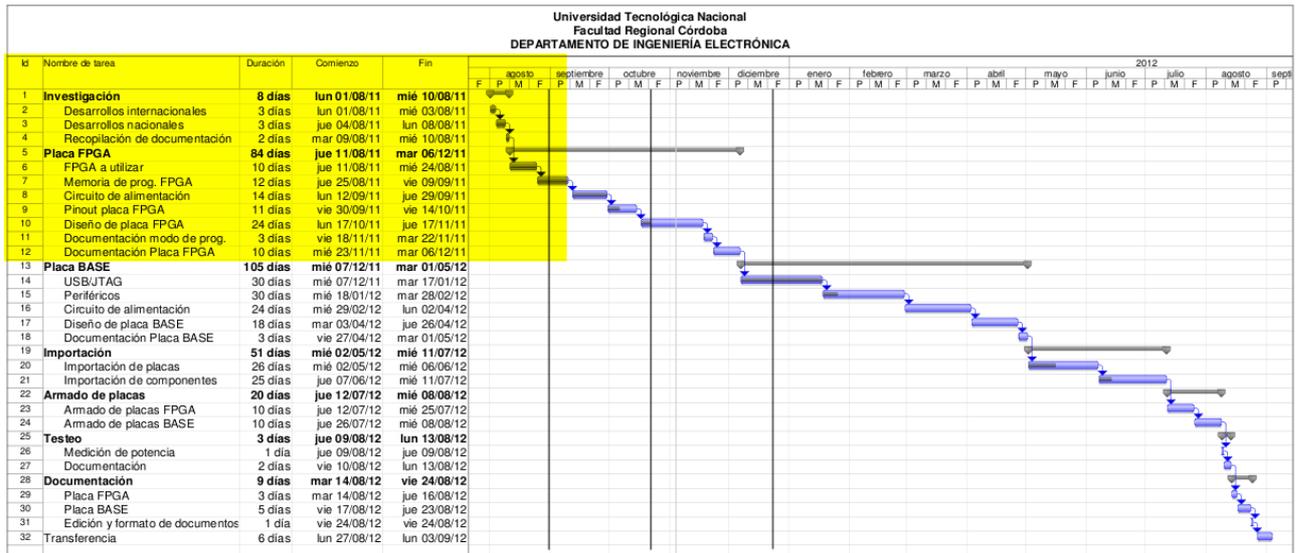
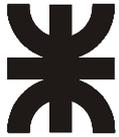


Figura 1: Diagrama de Gantt del proyecto "Plataforma de Hardware Reconfigurable".

En el presente documento se realiza una descripción del avance del proyecto en su primera instancia de visación por los docentes de la Cátedra. La determinación del primer periodo se define por el autor del presente proyecto final a fines del mes de Agosto del 2011. Para dicho periodo se planifica la culminación de la investigación sobre desarrollos similares a nivel internación como productos nacionales, además del diseño de prototipos como así también generación de documentación que servirá a la hora de generar la documentación final. A continuación se muestra los puntos a desarrollar, Figura 2, como así también se explaya sobre lo anteriormente dicho.



Figura 2: Etapas culminadas para la primera presentación



Desarrollos Internacionales

La mayoría de los desarrollos, mas del 90%, son de procedencia extranjera. Las nacionales son desarrollos universitarios con fines académicos, ninguno de ellos desarrollado por alguna empresa de hardware embebidos.

Muchos son los factores que llevan a ésta tendencia, y más aún de plataformas de hardware basados en Dispositivo Lógicos Programables (PLDs). Dificultad en la importación (comercialización) de componentes, necesidad de contar con herramientas de alta tecnología como son estaciones de soldado BGA (Ball Grid Array), apoyo a las empresas nacionales que desarrollan plataformas de hardware/software embebidos; son algunas de las razones por lo que es difícil encontrar desarrollos nacionales de éste tipo de proyectos.

Aquí se presentan los desarrollos más destacados por su prestación sin tener en cuenta su costo. Se debe hacer notar que los fabricantes presentan plataformas para diferentes perfiles de aplicaciones/desarrolladores de hardware/software embebido.

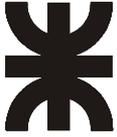
Xilinx

Spartan-3A/3AN FPGA Starter Kit Board

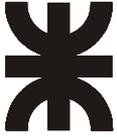


Xilinx es el pionero en el diseño de PLDs. A la vez que diseña CPLD y FPGA, también diseña plataforma de evaluación o kit de desarrollos basados en sus dispositivos. El Spartan-3A/3AN FPGA Starter Kit Board presenta las siguientes características:

- Xilinx Devices
 - Spartan-3A (XC3S700A-FG484)
 - Platform Flash (XCF04S-VOG20C)

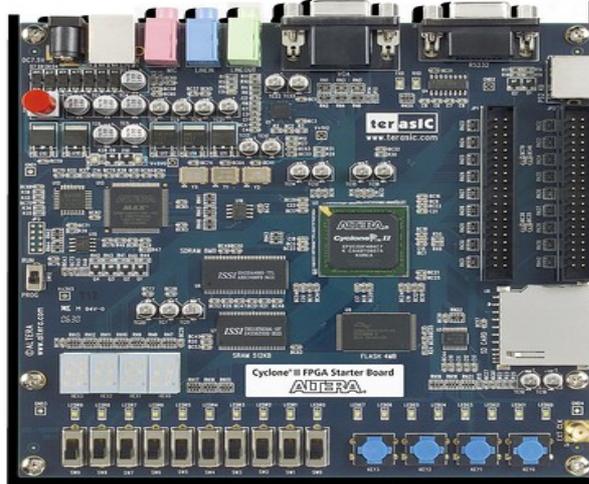


- Clocks
 - 50 MHz crystal oscillator on-board
 - Open slot for optional user-installed clock
- Memory
 - 4 Mbit Platform Flash PROM
 - 32M x 16 DDR2 SDRAM
 - 32 Mbit parallel Flash
 - 2-16 Mbit SPI Flash devices
- Analog Interface Devices
 - 4-channel D/A converter
 - 2-channel A/D converter
 - Signal amplifier
- Connectors and Interfaces
 - Ethernet 10/100 PHY
 - JTAG USB download port
 - Two 9-pin RS-232 serial port
 - PS/2-style mouse/keyboard port
 - 15-pin VGA connector capable of 4,096 colors
 - One FX2 100-pin and two 6-pin expansion connectors
 - 20 user I/O available on standard header pins
 - Stereo mini-jack for PWM audio
 - Rotary/push button function switch
 - Eight individual LED outputs
 - Four slider switches
 - Four push-button switches
- Display
 - 16 character, 2-Line LCD



Altera

Cyclone II FPGA Starter Development Board



Altera es quizá la segunda empresa que compite con Xilinx por el liderazgo en la comercialización de PLDs. Tan así es la competencia que plantea Altera que ofrece en su sitio web aplicaciones para obtener el equivalente en recursos de hardware de su competidor directo, Xilinx. La plataforma Cyclone II FPGA Starter Development Board ofrece una gran cantidad de recursos, en las que se destaca la posibilidad de trabajar con audio (I/O) como así también conectores para el acoplamiento de display gráficos a diferencia de Xilinx que solo ofrecía un LCD de 2 segmentos. A continuación se detallan los recursos de la placa de Altera:

- Cyclone II Starter Development Board
- Cyclone II EP2C20F484C7N device
- Configuration
 - USB-Blaster™ download cable (embedded)
 - EPCS4 serial configuration device
- Memory
 - 8-Mb SDRAM
 - 512-Kb SRAM
 - 4-Mb flash
- Clocking
 - SMA connector (external clock input)
- Audio

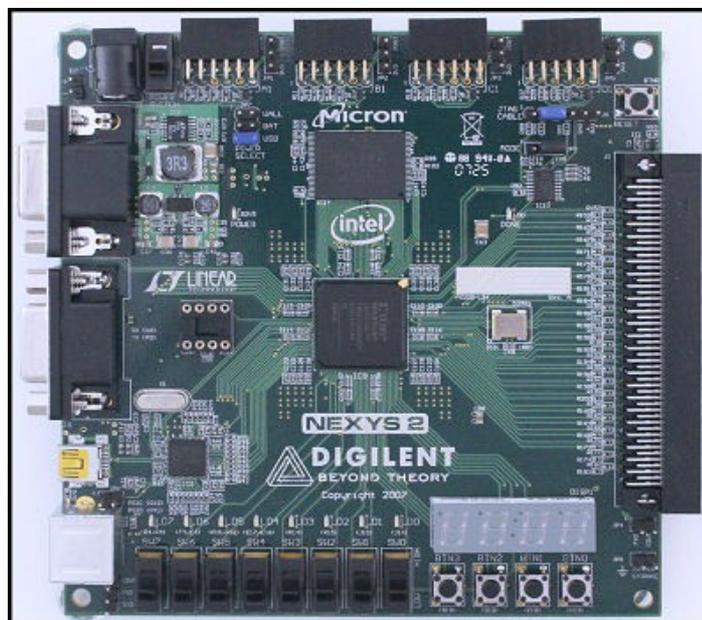


DEPARTAMENTO INGENIERÍA ELECTRÓNICA

- 24-bit coder/decoder (CODEC)
- Switches and indicators
 - Ten switches and four push buttons
 - Four 7-segment displays
 - Ten red and eight green LEDs
- Connectors
 - VGA, RS-232, and PS/2 ports
 - Two 40-pin expansion ports
 - SD/MMC socket
- Cables/power
 - Power from USB cable or external power supply (recommended when using the kit with accessory daughtercards, U.S.-style adapter provided) .

Digilent

Nexys3



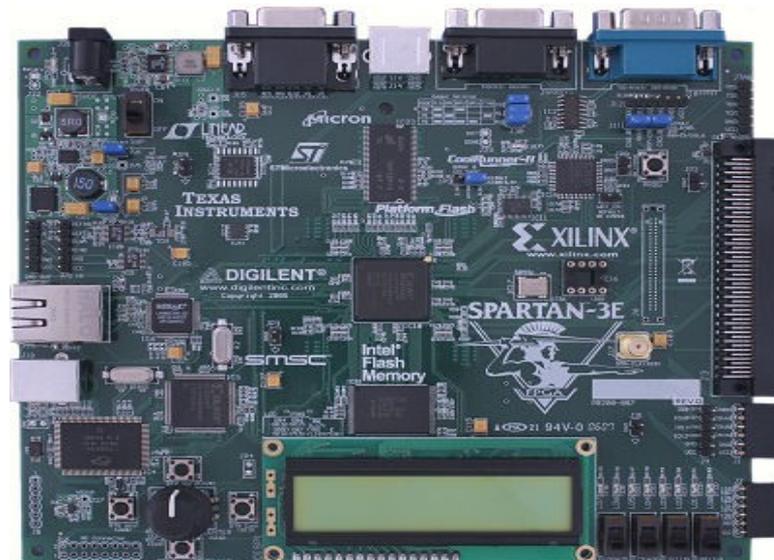
Digilent es una empresa de desarrollo tanto de hardware como software para sistemas embebidos. Empresa muy joven que desde el 2000 lidera el mercado de plataformas basadas en tecnología PLD como también microcontroladores. La plataforma con mejores prestaciones, catalogada en el rango comparativo con las demás plataformas, es la



Nexys2. Presentando un diseño reducido con las características básicas para el diseño digital. A continuación se presentan sus recursos:

- Xilinx Spartan-3E FPGA, 500K or 1200K gate
- USB2 port providing board power, device configuration, and high-speed data transfers
- Works with ISE/Webpack and EDK
- 16MB fast Micron PSDRAM
- 16MB Intel StrataFlash Flash R
- Xilinx Platform Flash ROM
- High-efficiency switching power supplies (good for battery-powered applications)
- 50MHz oscillator, plus a socket for a second oscillator
- 75 FPGA I/O's routed to expansion connectors (one high-speed Hirose FX2 connector with 43 signals and four 2x6 Pmod connectors)
- All I/O signals are ESD and short-circuit protected, ensuring a long operating life in any environment.
- On-board I/O includes eight LEDs, four-digit seven-segment display, four pushbuttons, eight slide switches

Spartan 3E Starter Board



Otra plataforma fabricada por Digilent es la Spartan 3E Starter Board, la misma presenta los siguientes recursos de hardware:



- Xilinx XC3S500E FPGA
- Xilinx XCF04 Platform Flash for storing FPGA configurations
- 32MB Micron DDR SDRAM
- 16MB Numonyx StrataFlash
- 2MB ST Microelectronics Serial Flash
- Linear Technologies Power Supplies
- Texas Instruments TPS75003 Triple-Supply Power Management IC
- SMSC LAN83C185 Ethernet PHY

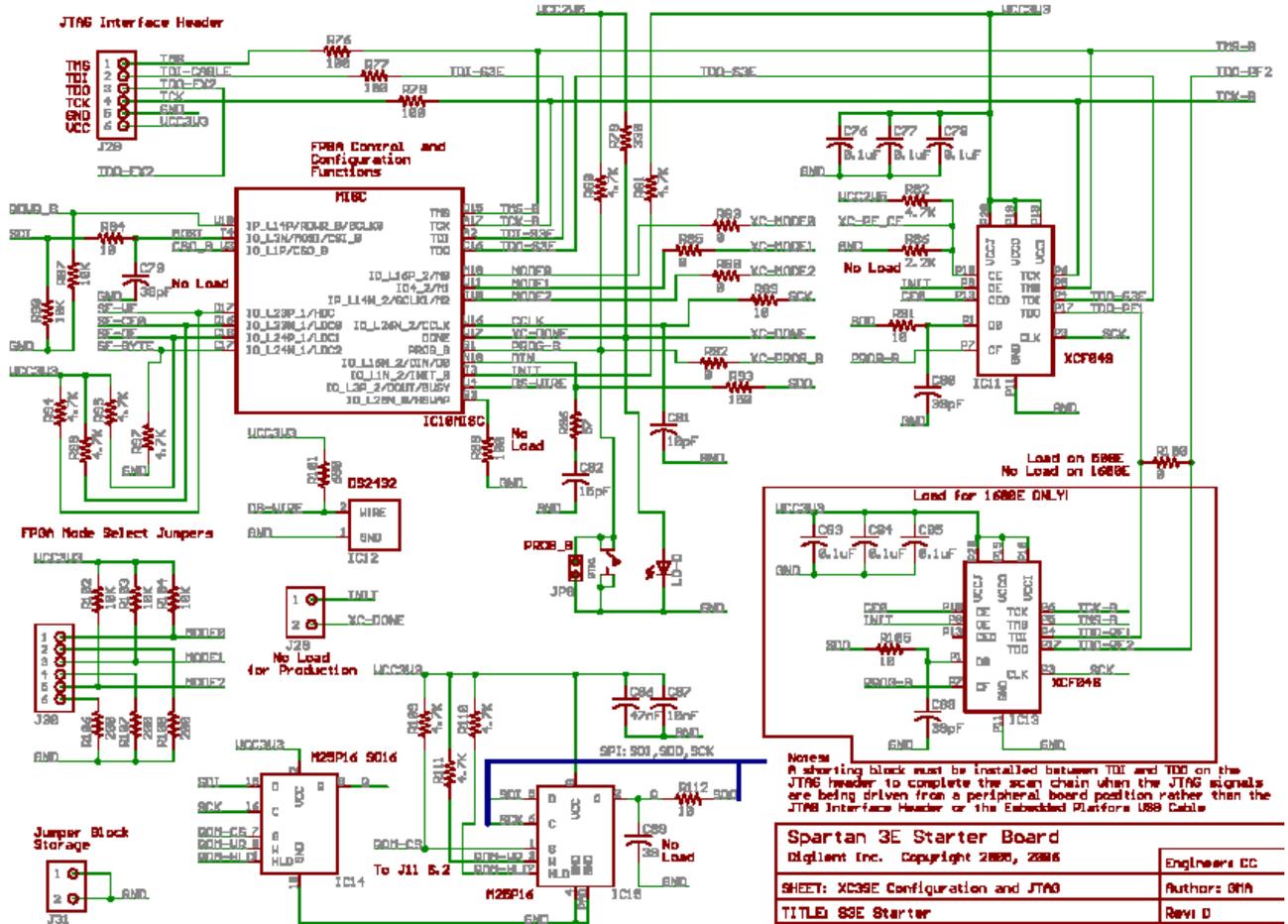
Hardware Libre

La denominación de hardware libre es un termino relacionado a la libertad de distribución de diseños de hardware con toda la comunidad electrónica. Este concepto cuanta con una gran aceptación en el ámbito académico ya que incentiva la investigación como al desarrollo de nuevas alternativas de diseño electrónico. Además, nuevos aportes son gestados para la mejora de un desarrollo final. El proyecto “Plataforma de Hardware Libre” tiene la finalidad aquí expresada.

Se ha encontrado una gran cantidad de desarrollados libres, como se ha dicho anteriormente, la mayoría de ellos desarrollados en instituciones académicas. Los más destacados son:

JTAG USB

Desarrollo basado en una FPGA Spartan 3E, el mismo permite acceder a sus puertos de I/O. Además la programación del dispositivo se realiza mediante el puerto USB. A continuación se puede visualizar el esquema del proyecto.

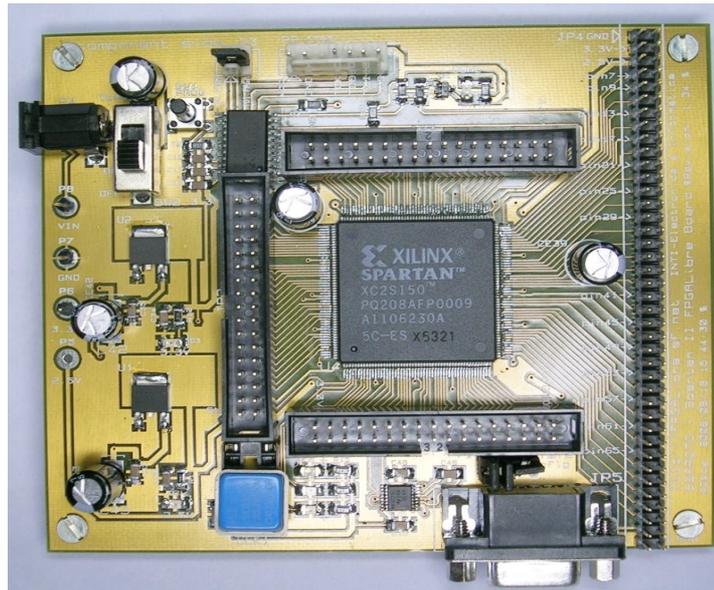
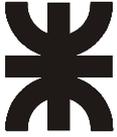


El diseño total del proyecto se realiza utilizando herramientas de software libre. Entre las que podemos enunciar:

- KiCAD
- Gerbv
- inkscape
- Gimp
- LibreOffice.org

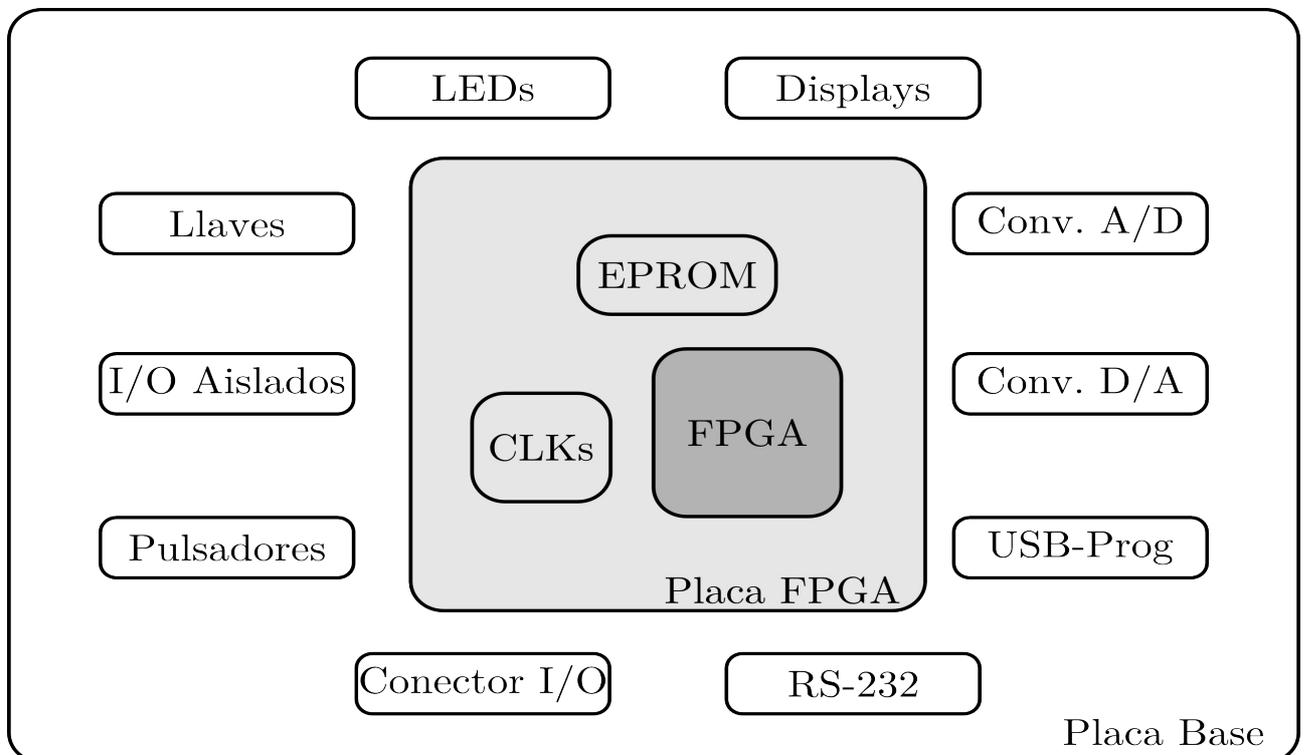
S2PROTO

Desarrollado por el INTI “Instituto Nacional de Tecnología Industrial”, el S2PROTO es el resultado de una laboratorio de Software Libre de dicha organización estatal. EL UTIC “Unidad Técnica en Informática y Control” sostiene un proyecto libre llamado FPGALibre. Que alberga a desarrolladores que tengan intenciones de compartir sus desarrollos basados en PLDs. A continuación se presenta una imagen de la S2PROTO:



FPGA a utilizar

Una de las tareas principales es la selección de la FPGA, dispositivo central, que cumpla las exigencias del presente proyecto. En la siguiente figura se presenta la idea del proyecto para destacar la importancia del PLDs.



Entre los fabricantes de PLDs, se realizará la elección del mismo según las siguientes líneas:

- Xilinx



- Altera
- Atmel

Dispositivo seleccionado – Familia Spartan A/AN

Características

-Bajo Costo

Posee muchas prestaciones dependiendo del dispositivo, éstos son:

+Spartan-3A

+Spartan-3A DSP

+Spartan-3AN

Dependiendo de la aplicación debemos recurrir a la documentación del fabricante donde se especifica los recursos que tiene cada tipo de Spartan-3 como ser Cantidad de bloques lógicos, pines, I/O disponibles, uP embebidos, Voltage de alimentación, modo de configuración, DSP, etc.

Datos interesantes en las características,

_Vin_máx: 4,6V. Compatible con fuentes de 3.3V +/- 10%

_señales estandar: LVCMOS, LVTTTL, HSTL y SSTL.

_driver de salida hasta 24mA.

_tasa de transferencia 622Mb/s.

_18x18 multiplicadores dedicados con pipeline opcional

_Puerto programación/debug JTAG IEEE 1149.1/1532.

_Digital Clock Manager (DCMs) /*BUSCAR*/

Rango de frecuencia 5Mhz hasta 300Mhz.

_ocho global clock.

_Interface de configuración para PROMs estandar.

-PROM flash SPI, bajo costo.

-PROM flash NOR paralelo x8 o x8/x16.

_reconfiguración automática Multi-boot entre dos archivos.

_Package de bajo costo QFP y BGA

Resumen de la arquitectura

La arquitectura de la Spartan-3 consiste de cinco elementos fundamentales funcionales programables:



DEPARTAMENTO INGENIERÍA ELECTRÓNICA

_Configurable Logic Block (CLBs) contienen flexibles Look-Up Tables(LUTs) que implementan elementos logicos usados como flip-flop o latch.

_Input/Output Blocks (IOBs) controla el flujo de datos entre los pines de I/O y la lógica interna del dispositivo. Los IOBs soportan flujo de datos bidireccionales además de operaciones 3-state.

_Block RAM provee almacenamiento de datos en la forma de bloques dual-port de 18Kbit.

_Multiplier Blocks toma dos numeros binarios de 18bit como entrada y calcula el producto. La línea Spartan-3A DSP incluye bloques especiales DSP.

_Digital Clock Manager (DCM) Block proporciona auto-calibración, retardos, multiplicadores, divisores, y señales de clock de cambio de fase (phase-shifting).

Configuración

La generación de FPGAs Spartan-3 son programadas por la carga de datos de configuración en dispositivos sólidos, reprogramables, static CMOS configuration latches (CCLs) que en conjunto controla todo los elementos funcionales y designan las fuentes. El dato de configuración de las FPGA son almacenados en dispositivos externos como una PROM o algún dispositivo no-volatil.

Capacidades de I/O

Aquí es interesante ver el consumo de cada familia, el mejor de todos es la Spartan-3, hasta 24mA para 3.3V y el peor de todos es la Spartan-3E con una corriente máxima de 16mA a 3.3V. /* RECORDAR QUE ÉSTO DEPENDE TAMBIÉN SI UTILIZAMOS LAS I/O A MODO COMÚN O DIFERENCIAL.*/

Utilizando los recursos Globales de Clock.

Especifican los recursos que ofrecen todas las familias de Spartan-3, especificaciones tanto de conexionado como de rendimiento.

En la figura 2-1 se observa cuál es el camino que sigue las señales de clock. Una aplicación interesante del DCM es introducirlo entre el GCLK pad y el BUFGMUX para manejar la frecuencia del clock (por ej. divisor).

=Entrada de clock Spartan-3E



DEPARTAMENTO INGENIERÍA ELECTRÓNICA

En ésta familia, evitar usar la entrada global clock GCLK1 ya que siempre es compartido con el pin selector M2. Las entradas global clock GCLK0,2,3,12,13,14 y GCLK15 tiene funcionalidades compartidas en algunos modos de configuración, y todas las entradas RHCLK comparten funcionalidades con líneas de direccionamiento en el modo BPI. Asegurar que no exista conflicto entre el uso de los pines durante la configuración es algo que siempre se aconseja.

También en la familia Spartan-3E, algunos de los pines pad son solo pines de entrada como se indica en la sección "Pinout Descriptions" de la hoja de datos. Esto podría ser más útil como entrada de clock ya que éstos pines no requiere usar el modo pin I/O.

Utilizando recursos I/O

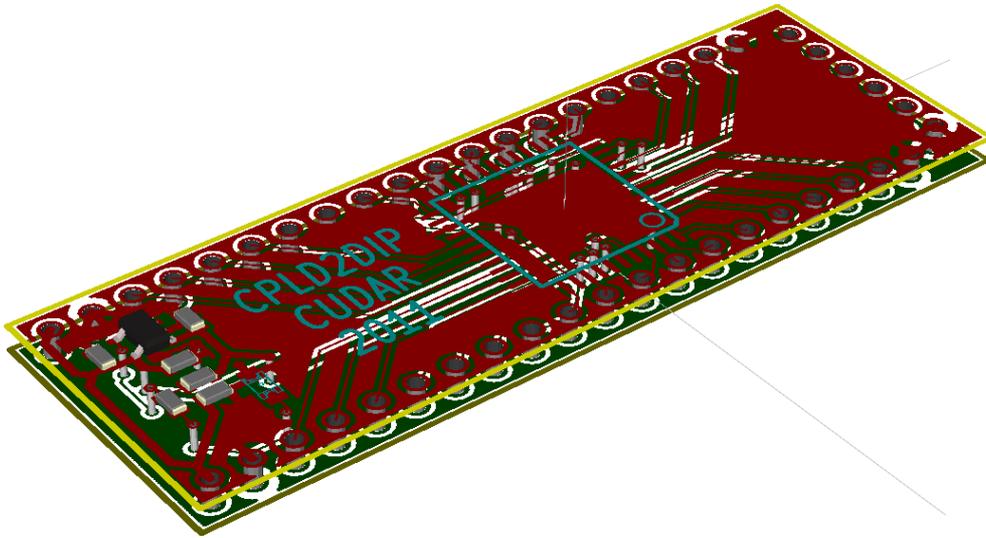
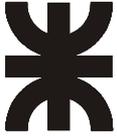
Todas las señales que entran y salen de la FPGA deben pasar a través de los recursos I/O, conocidos como IOBs. Ya que las FPGAs son usadas en muchas aplicaciones complejas, éstos dispositivos deben soportar un incremento variable de I/O. La revolucionaria SelectIO(patentado por xilinx), que contiene la Spartan-3 reúne ésta necesidad proporcionando una enorme configurabilidad, alto performance de recursos adecuados para aplicaciones como son memorias de alta velocidad y interfaces de placas complejas programables.

La generación de FPGA Spartan-3 simplifica diseños de alto-performance ofreciendo un seleccionable diseño I/O estandar para entrada y salida. Más de 20 diferentes estandares son soportados en cada familia, con diferentes especificaciones de corriente, voltage, I/O buffering, y terminaciones técnicas. Como un resultado, la generación de FPGA Spartan-3 puede ser usada para transformadas integrales discreta y drive direccional en muchas placas avanzadas, buses, y memorias. Directamente proporciona el interface estandar necesario no solo para eliminar el costo externo de traslación, sino también mejora significativamente la velocidad de chip-to-chip y reduce el consumo de potencia.

Desarrollo de Hardware - Primera etapa

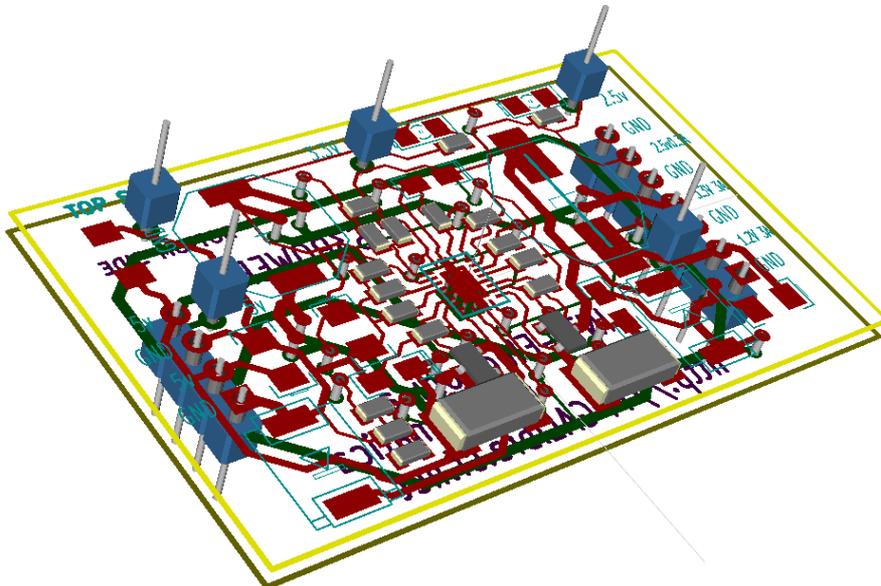
PLDs

A continuación se presenta el diseño de una PLDs, un CPDL de Xilinx XC9572XL. El mismo tiene la conexión DIP-60 600mil para adaptar el package del dispositivo. Además el mismo presenta un conector para programar mediante el protocolo JTAG.



Alimentación de FPGA

Se utiliza un circuito integrado fabricado por Texas Instruments que permite regular la alimentación de la familia Xilinx Spartan 3. Además dicho dispositivo regula los tiempos de alimentación para las diferentes etapas internas de la FPGA.

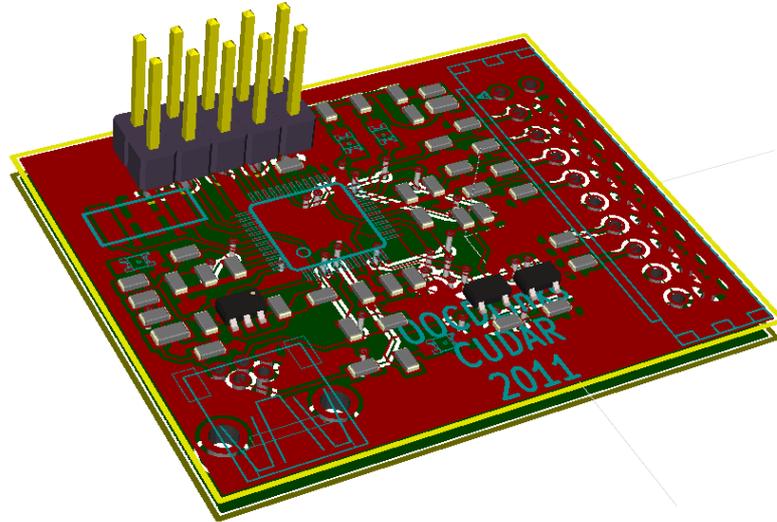


Programación memoria interna FPGA

Para la programación de los dispositivos PLDs se utiliza el protocolo JTAG. Esto se logra con el integrado FTDI2232D. Dispositivo que permite la comunicación entre un puerto USB a JTAG. A continuación se presenta el diseño.



UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CORDOBA
DEPARTAMENTO INGENIERÍA ELECTRÓNICA



Todas las placas fueron diseñadas en el CUDAR, Centro que aporta al desarrollo del presente proyecto tanto con recursos humanos como materiales. Todos los diseño se encuentra en etapa de construcción enviados a PCBwing, empresa lider en fabricación de PCB.

.....
Luis Alberto Guanuco
Becario Investigador del CUDAR

Directores:

- Ing. Cavallero Rodolfo (Coordinador del área Técnicas Digitales).
- Ing. Cayuela Pablo (Docente Electiva "Técnicas Digitales IV").
- Ing. Olmedo Sergio (Docente Electiva "Técnicas Digitales IV").