



UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CORDOBA
DEPARTAMENTO INGENIERÍA ELECTRÓNICA



Segunda Presentación



Plataforma de Hardware Reconfigurable

Alumno : Luis Alberto Guanuco

Legajo : 49544

Año Académico : 2011



Introducción

La segunda etapa del proyecto para la regularización de la materia “Proyecto Final” consiste en el avance de la programación de la FPGA, diseño de módulos que servirán como periféricos del dispositivo central, además del diseño de alimentación de la placa. Esto se encuentra resaltado en la Figura 1.

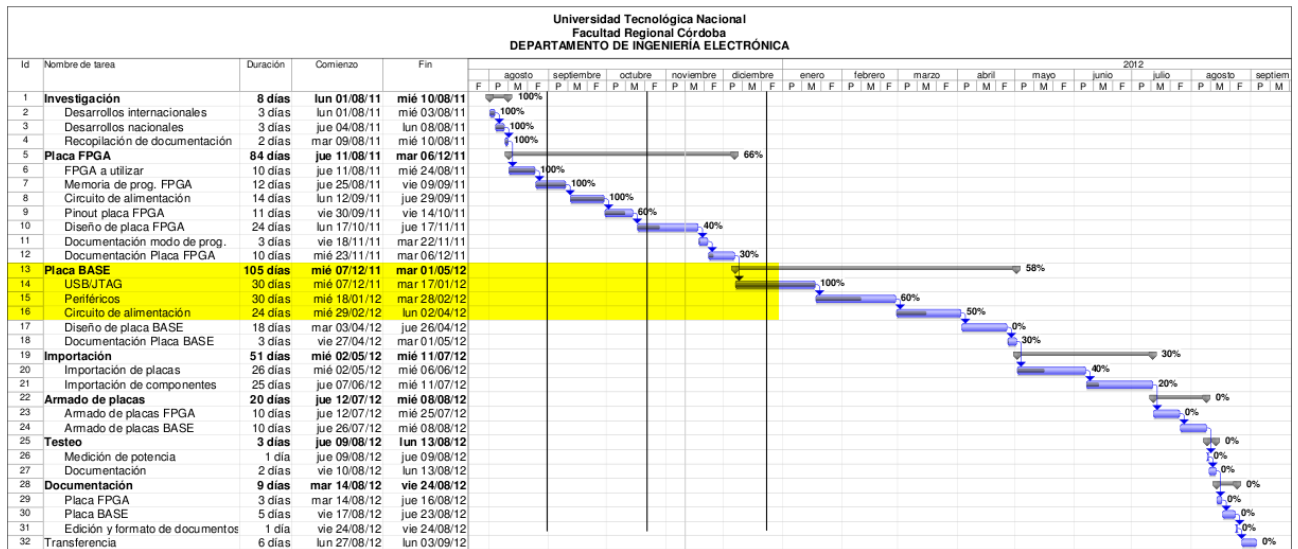


Figura 2: Diagrama de Gantt del proyecto "Plataforma de Hardware Reconfigurable".

USB/JTAG

Los dispositivos lógicos programables que se utilizarán para el presente trabajo final son programados mediante un puerto JTAG embebido. La documentación del protocolo se encuentra en la nota IEEE 1149.1. En la última década, éste interface tuvo gran aceptación por los diseñadores de circuitos integrados programables, tanto uC, DPS, FPGA permiten acceder a su hardware mediante dicho protocolo.

Diseñado originalmente para circuitos impresos, actualmente es utilizado para la prueba de submódulos de circuitos integrados, y es muy útil también como mecanismo para depuración de aplicaciones empotradas, puesto que provee una puerta trasera hacia dentro del sistema. Cuando se utiliza como herramienta de depuración, un emulador en circuito que usa JTAG como mecanismo de transporte permite al programador acceder al módulo de depuración que se encuentra integrado dentro de la CPU. El módulo de depuración permite al programador corregir sus errores de código y lógica de sus sistemas.

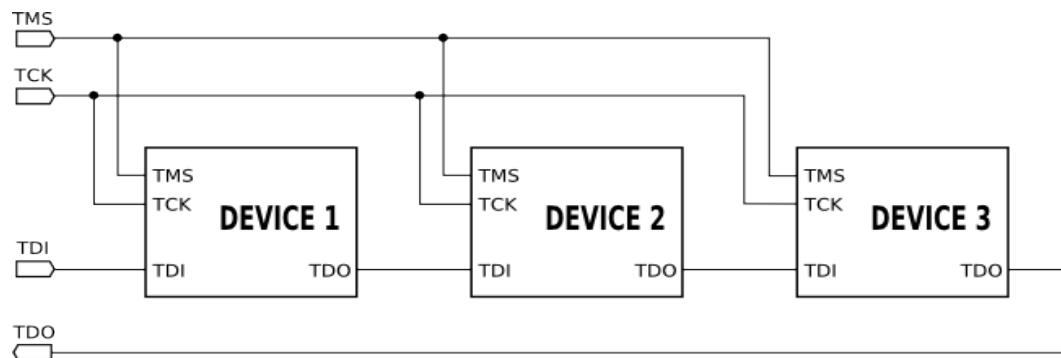


Hardware del JTAG

Características eléctricas

Una interfaz JTAG es una interfaz especial de cuatro o cinco pines agregadas a un chip, diseñada de tal manera que varios chips en una tarjeta puedan tener sus líneas JTAG conectadas en daisy chain, de manera tal que una sonda de testeo JTAG necesita conectarse a un solo "puerto JTAG" para acceder a todos los chips en un circuito impreso. Los pines del conector son

- TDI (Entrada de Datos de Testeo)
- TDO (Salida de Datos de Testeo)
- TCK (Reloj de Testeo)
- TMS (Selector de Modo de Testeo)



Ya que posee una sola línea de datos, el protocolo es necesariamente serial, como el Serial Peripheral Interface. La entrada de la señal de reloj es por el pin TCK. La configuración del dispositivo se realiza manipulando una máquina de estados de un bit empleando el pin TMS. Un bit de datos es cargado en TDI y otro sacado en TDO por cada pulso de reloj de la señal TCK. Se pueden cargar diferentes modo de instrucción como leer el ID del chip, muestrear el valor de pines de entrada/salida, manejar pines de salida, manipular funciones del chip, o funciones de bypass que unen el pin TDI con TDO para lógicamente unir cadenas de varios chips (chips en cascada). La frecuencia de trabajo de la señal de reloj del pin TCK varía en función de cada chip, pero típicamente está en el rango de 10-100 MHz (10-100ns/bit).

Cuando se hace la operación de boundary scan en circuitos integrados, las señales manipuladas están entre diferentes bloques funcionales del chip, más que entre diferentes chips.

Existen productos de consumo que tienen un puerto JTAG integrado, por lo que las conexiones están a menudo disponibles en la PCB como parte de la fase de prototipado



del producto. Estas conexiones pueden proporcionar una sencilla forma de realizar ingeniería inversa.

Acerca del FT2232D

Este dispositivo dispone de 2 controladores UART/FIFO que pueden ser configurados individualmente en diferentes modos, así como su interfaz UART, FIFO y el modo Bit-Bang de E/S. El FT2232D ofrece nuevos modos de operación, como el motor serie síncrono multiprotocolo (MPSSE). Su interfaz esta diseñada específicamente para protocolos serie síncronos, tales como I2C, JTAG y SPI.



En la primera presentación, para la regularización de la materia, se ha logrado diseñar un interface que adapte el protocolo JTAG a un puerto USB. La elección del interface USB se justifica por su alta aceptación en las PC de escritorio con las que cuenta le Laboratorio de Técnicas Digitales e Informática. Este circuito se puede observar en la Figura 2.

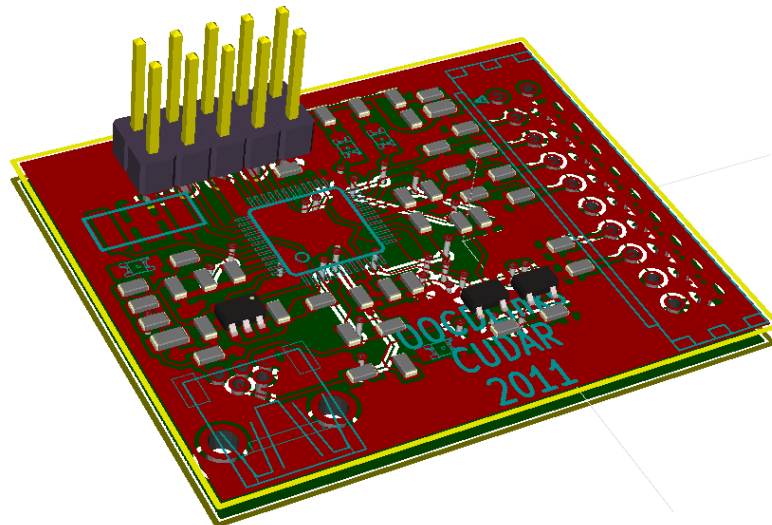


Figura 3: Interface USB a JTAG desarrollado en el CUDAR

Software del JTAG

Si bien con el circuito anterior se realiza el interface físico para conectar una PC con nuestro protocolo JTAG, aún se debe interconectar a un nivel superior en el modelo OSI de nuestro interface. En otras palabras, a nivel de software, se tiene que implementar



DEPARTAMENTO INGENIERÍA ELECTRÓNICA

en controlador para que las PC puedan reconocer al puerto USB como un puerto JTAG para realizar la carga del bitstream que permitirá la reconfiguración del PLDs.

El fabricante del dispositivo que realiza la conversión de protocolos proporciona las herramientas de hardware para poder “levantar” el JTAG desde la PC pero aún no hemos logrado lo que se necesita que es transferir el bitstream que genera la herramienta de síntesis para que el dispositivo PLDs pueda funcionar según nuestro diseño.

Para la implementación de éste controlador se considera la utilización de software desarrollado por la comunidad del *Free Software* debido a la flexibilidad para la adaptación con cualquier entorno de desarrollo. Entonces, vamos a describir en principio la posibilidad de utilizar el UrJtag.

UrJtag

Es una herramienta de propósito general para acceso a dispositivos JTAG; Algunas de sus características son:



- UrJtag es software libre y es activamente mantenida
- Funciona bajo Windows o linux como una aplicación de línea de comandos
- Soporta múltiples cables (USB, paralelo) y nuevos drivers pueden ser agregados
- Para la definición de dispositivos utiliza archivos BSDL
- Permite implementar SVF's Player; sin embargo, no todos los comandos SVF están soportados
- Se ha usado con éxito en la programación de múltiples microcontroladores y FPGAs.

Estructura del driver

El driver para la emulación de cualquier cable de UrJtag debe contener una serie de funciones, las cuales se mencionan a continuación:

- connect(), init() - Inicialización
- done(), cable_free(), disconnect() - Cleaning up
- set_frequency() - Establece la tasa de datos de la cadena Jtag
- clock(), get_tdo(), transfer() - Actividades inmediatas de Jtag
- flush() - Es usado internamente para llevar a cabo de forma efectiva las actividades de JTAG



- help() - Define un texto de ayuda para el cable en cuestión

Alimentación Placa Principal

Una de las características fundamentales del proyecto es la autonomía de la plataforma. Se plantea la posibilidad de alimentar todos el sistema desde el puerto USB con su debida limitación, fundamentalmente de corriente. Para evitar cualquier inconveniente se revisa la documentación del USB 2.0 para definir los limites de consumo. De todas formas la placa se diseña para que pueda ser alimentada en forma externa mediante la configuración con un *jumper* que define el bus de potencia.

El dispositivo anteriormente desarrollado, FT2232D, además de las características de comunicación con interfaces estándares permite la posibilidad de adaptar la alimentación que recibe del puerto USB para alimentar circuitos externos, como se aprecia en la siguiente figura.

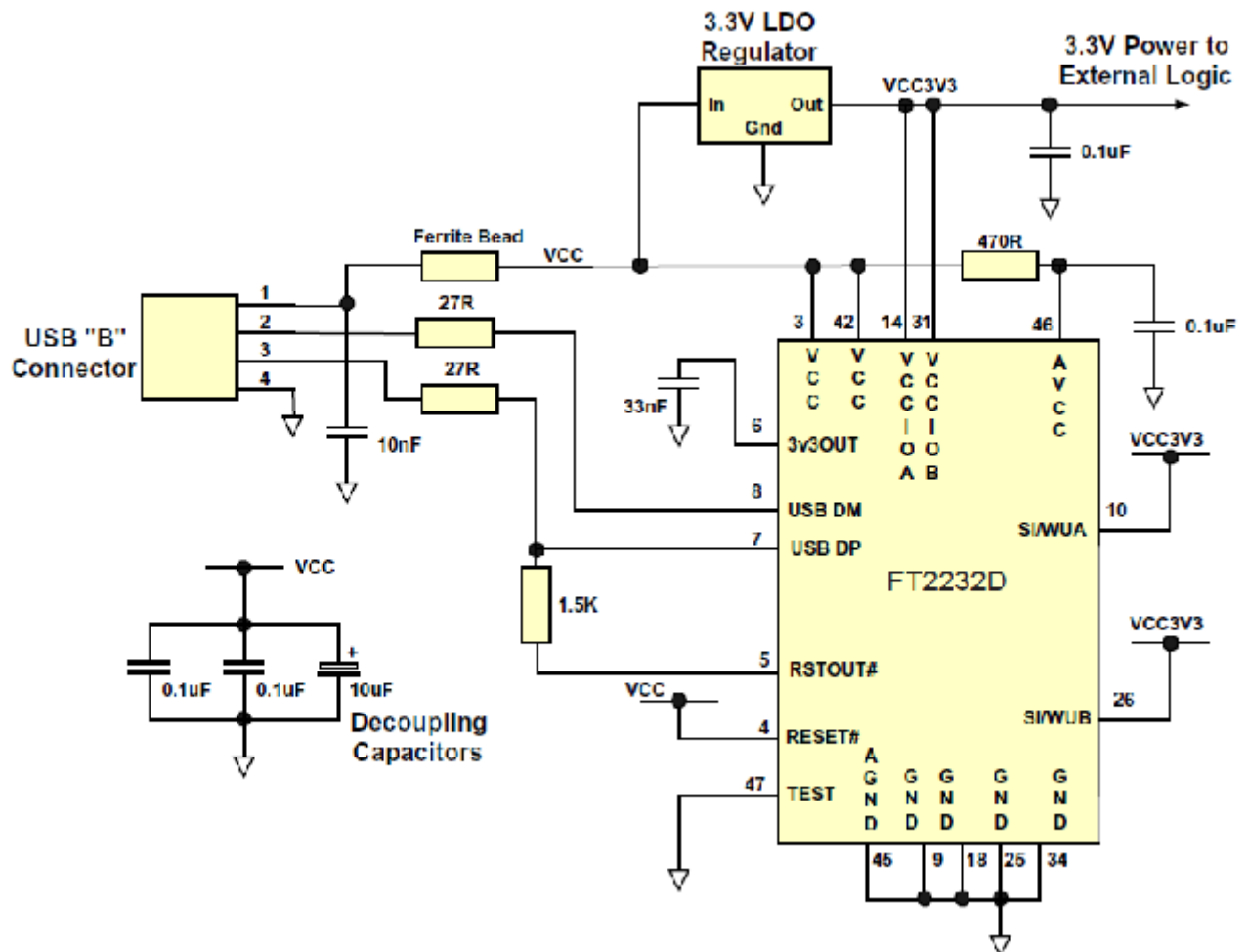


Figura 4: Configuración del Bus de Potencia



**UNIVERSIDAD TECNOLÓGICA NACIONAL
FACULTAD REGIONAL CORDOBA**



DEPARTAMENTO INGENIERÍA ELECTRÓNICA

Pero le fabricante, realiza el mismo planteo con respecto a la limitación que presenta el puerto USB cuando se habla de potencia. Aclara las siguientes características:

- El dispositivo no debe absorber más de 100mA
- En modo suspendido no más de 500uA
- Ningún dispositivo conectado al puerto USB no debe absorber más de 500mA

De manera que se debe considera el consumo de cada componente anexo a la placa. En la documentación final se debe aclarar éstas limitaciones para que el usuario de la plataforma no cometa ninguna acción que ocasione daños en la PC a la que se conecta.

.....

Luis Alberto Guanuco
Becario Investigador del CUDAR

Directores:

Ing. Cavallero Rodolfo (Coordinador del área Técnicas Digitales).

Ing. Cayuela Pablo (Docente Electiva “Técnicas Digitales IV”).

Ing. Olmedo Sergio (Docente Electiva “Técnicas Digitales IV”).