

# Plataforma de hardware reconfigurable

Armado - Testeo y Documentación de las placas de prototipaje.

Luis A. Guanuco

Agosto 2012

## 1. Introducción

La documentación que se presenta en éste reporte describe los pasos a seguir para el *armado, testeo y depuración* de las distintas placas que conformarán la *Plataforma de Hardware Reconfigurable – PHR*. Se presenta un esquema general de tres etapas, sin embargo, cada una de ellas presenta una complejidad diferente.



Figura 1: Esquema de trabajo a seguir.

## 2. Armado

### 2.1. Placas

Actualmente se dispone de cuatro placas PCB, ellas son:

- OT-CPLD
- OOCN Links (USB/JTAG)
- S3Power (INTI)
- FPGA (PHR version BETA)

Cada una de éstas placas se encuentra en una versión de *Prototipaje*, lo que implica que su finalidad es únicamente de *testeo* y generar *documentación* que permitan el desarrollo de sus versiones finales, con las correcciones pertinentes.

### 2.2. Recursos

Se adjunta a la presente documentación la lista de componentes a utilizar.

### 2.3. Placas

Los esquemáticos se adjuntan al final del documento pero aquí se hace presente a modo de ilustración y que se pueda relacionar con sus correspondientes esquemas PCB.

Se recomienda tener cuidado en el proceso de ensamblado/soldado de los componentes. La mayoría de los mismos son SMD, por lo que puede prestarse a confusiones la polarización de capacitores y diodos, como así también la magnitud de cada uno.

Se presentan las figuras de cada placa, haciendo énfasis en diferentes vistas con la finalidad de facilitar el armado de las mismas.

#### 2.3.1. OT-CPLD

La placa *OT-CPLD* tan solo realiza la adaptación de los pines de un CPLD (XC9572XL) a un formato DIP-40 (40 pines) a fines de ser utilizado en cualquier protoboard. Junto a las dos hileras de pines, la placa contiene un regulador de tensión para el dispositivo lógico; y un puerto de conexión al interface JTAG del CPLD.

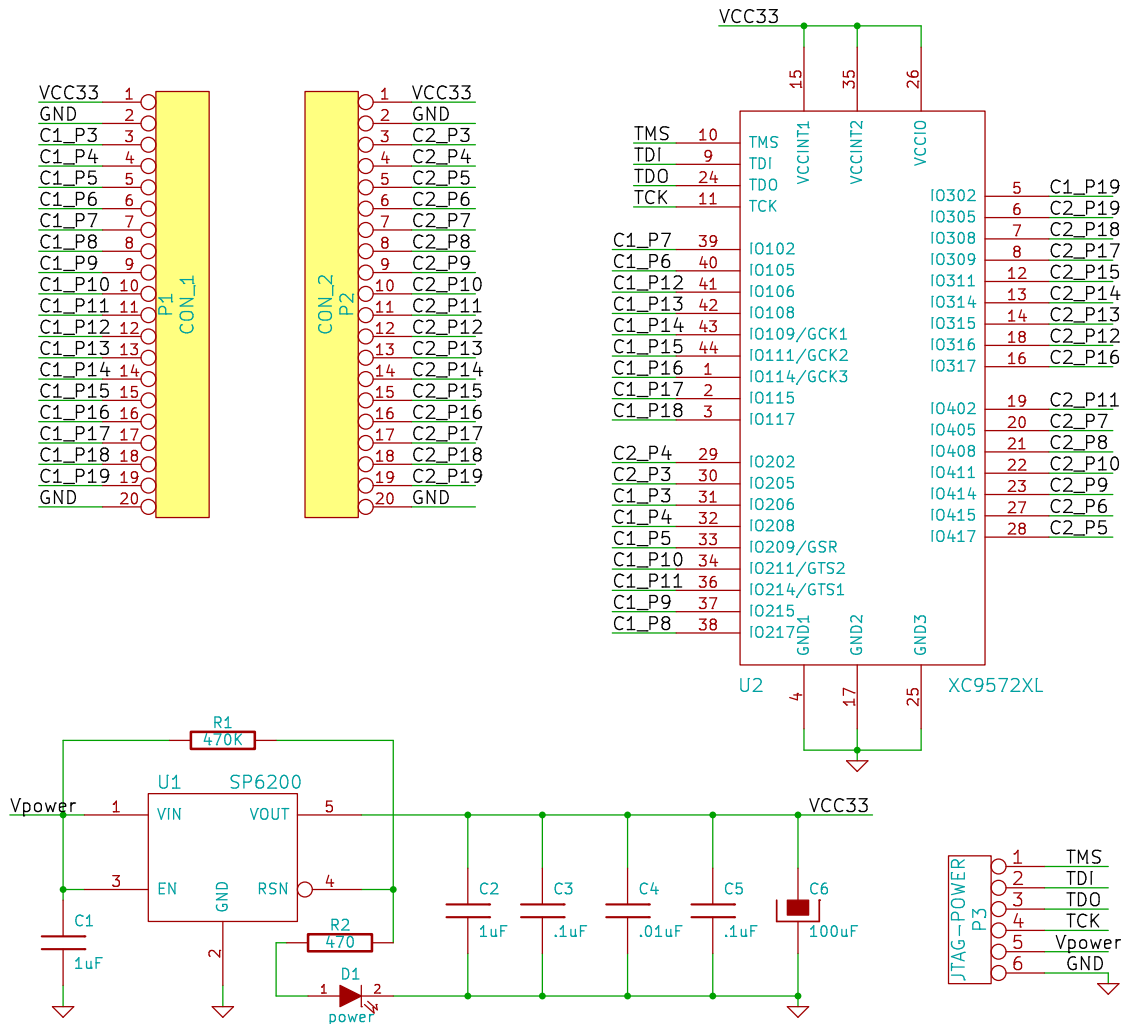
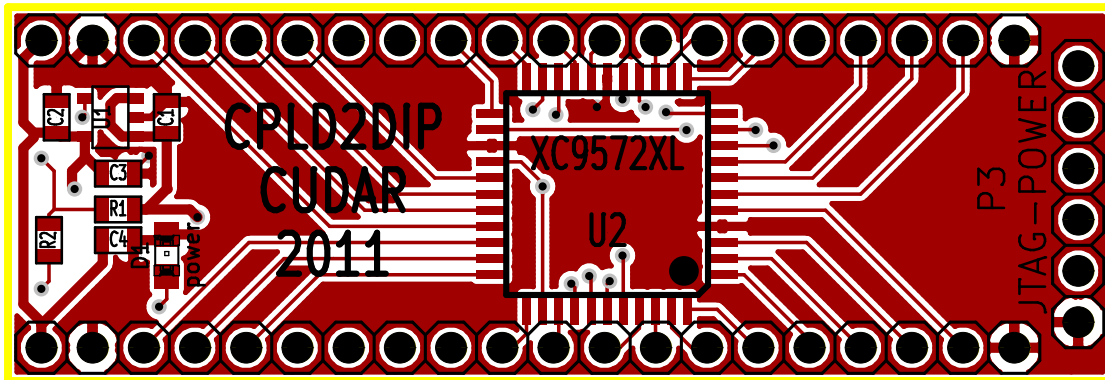
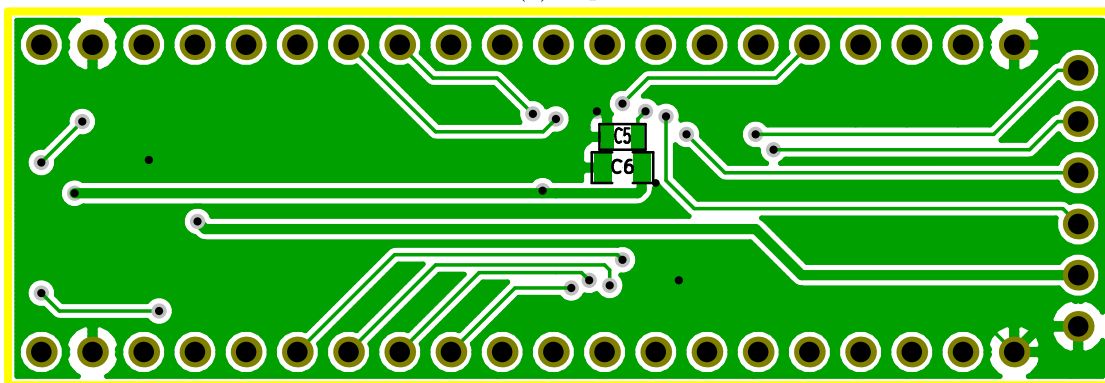


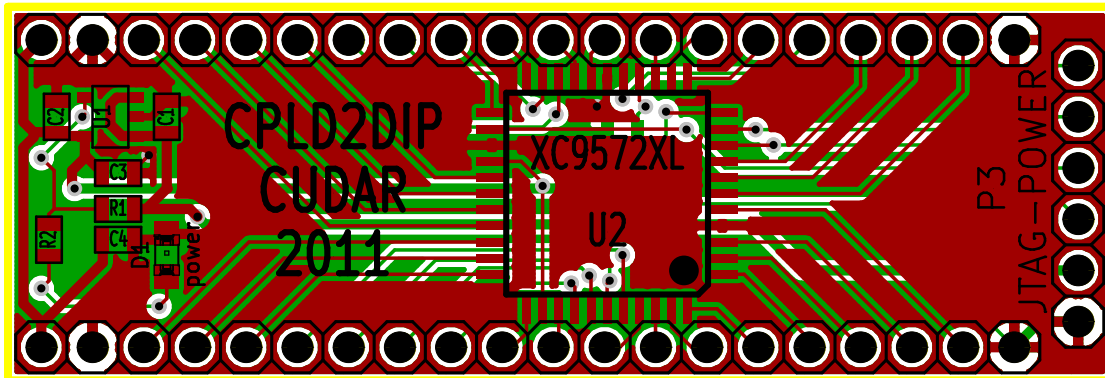
Figura 2: Esquemático



(a) Top



(b) Botton

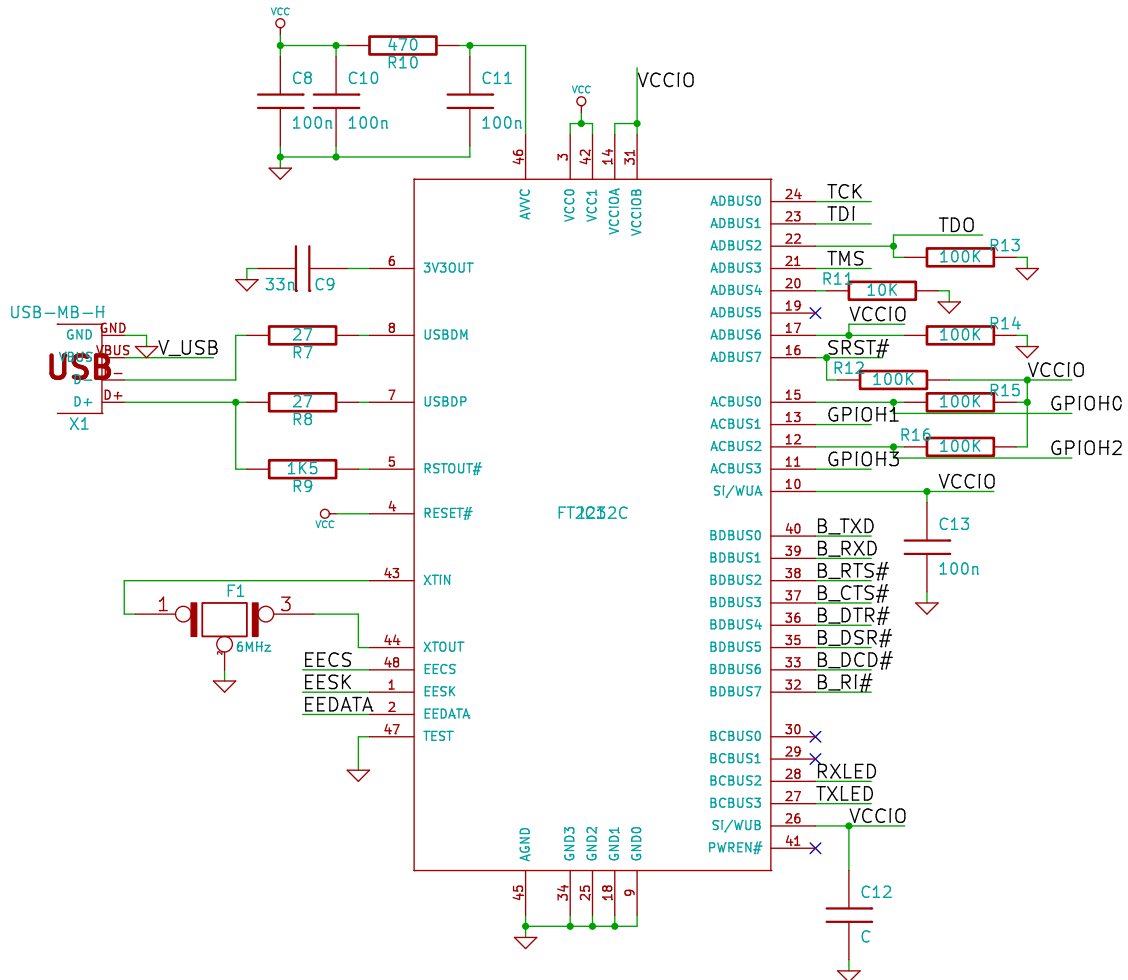


(c) Top & Botton

Figura 3: PCB

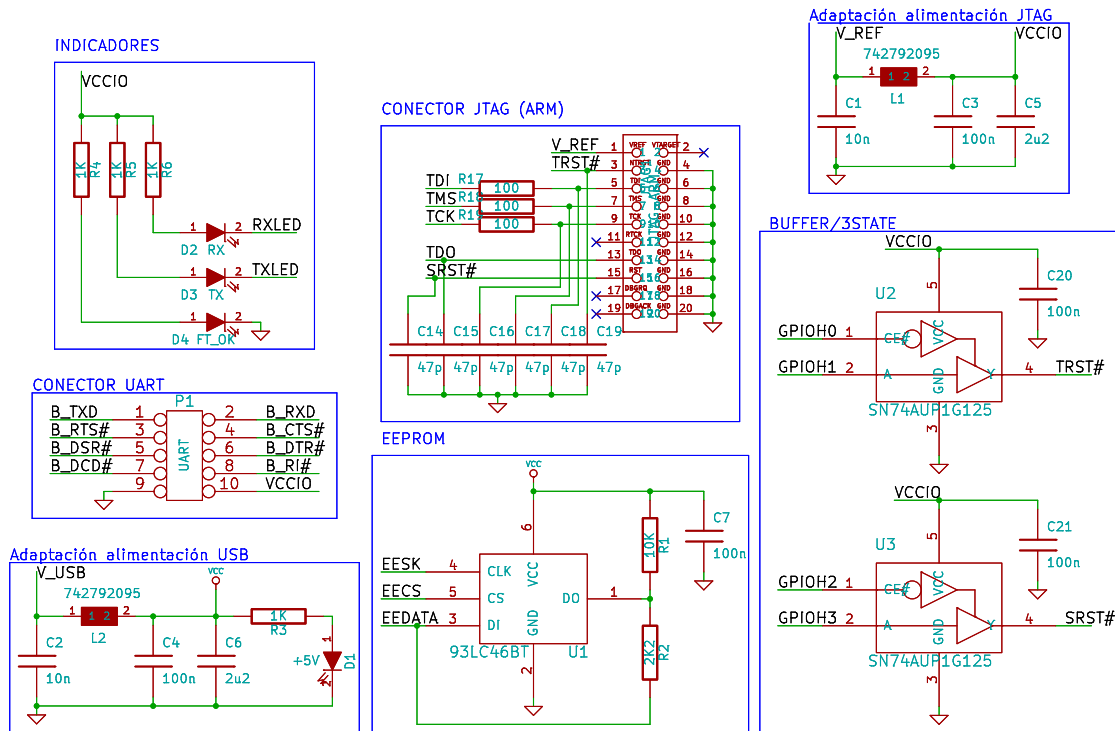
### 2.3.2. O OCD Links

La placa *OCD Links* permite acceder a un interface JTAG mediante un puerto USB (hardware & software). Nacido como un interface para el testeo de hardware mediante software, JTAG se ha convertido en un core clave en la programación de muchos dispositivos actuales como son FPGAs, CPLDs,  $\mu$ Cs,  $\mu$ Ps, etc. La placa contiene un dispositivo central (FT2232), quien realiza la conversión de los protocolos en forma bidireccional. Los demás bloques simplemente hacen al funcionamiento del FT2232.



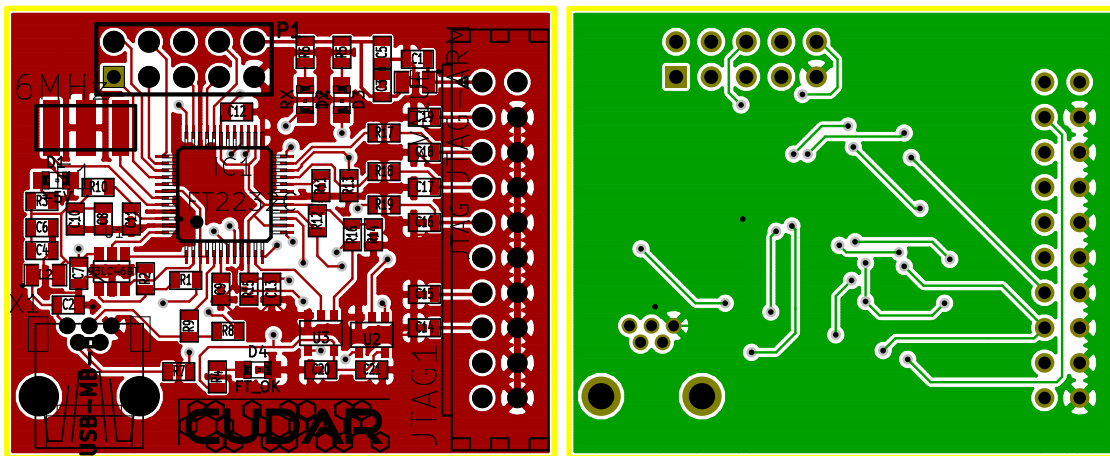
(a) FT2232, IC dispositivo interface USB/JTAG

Figura 4: Esquemático



(b) Periféricos

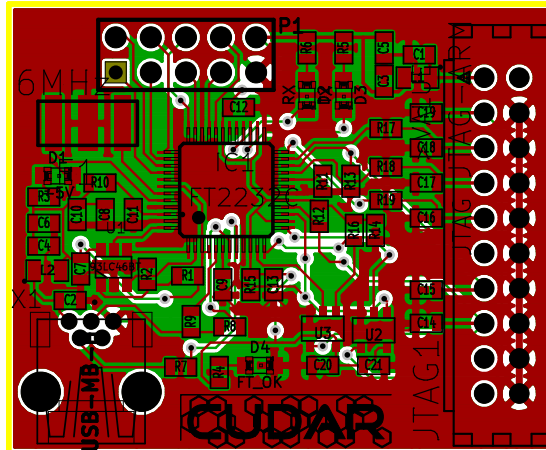
Figura 4: Esquemático (Continuación)



(a) Top

(b) Botton

Figura 5: PCB



(c) Top & Botton

Figura 5: PCB (Continuación)

### 2.3.3. S3Power

La placa *S3Power* fue diseñada por un los miembros del **INTI**, originalmente destinada a la placa **S3Proto**, y liberada con licencia *GPL (General Public License)* en la web [fpgalibre.sourceforge.net](http://fpgalibre.sourceforge.net). Las características eléctricas, en particular, de potencia son muy importantes debido a los distintos niveles de tensión que manejan las FPGAs que se utilizarán. Texas Instruments ha desarrollado un IC (TPS75003) específico para la familia de las FPGA de Xilinx (Spantan 3 - Xilinx Inc). Aquí se resuelven los tiempos de encendido como la regulación en el consumo de potencia de la FPGA.

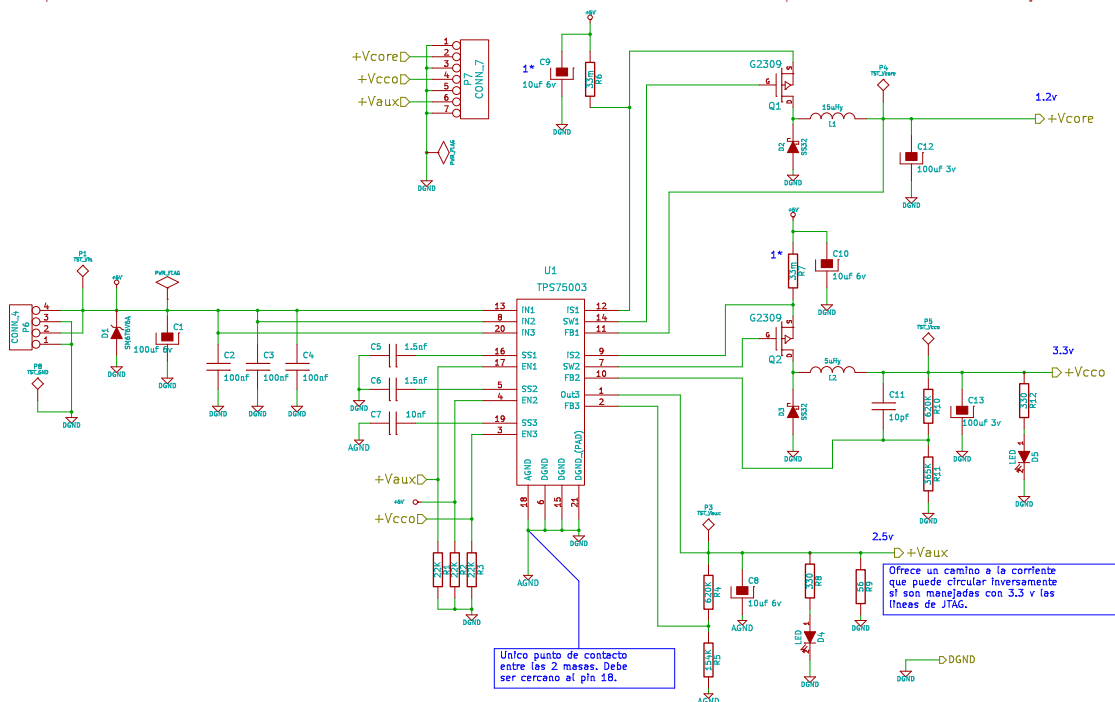
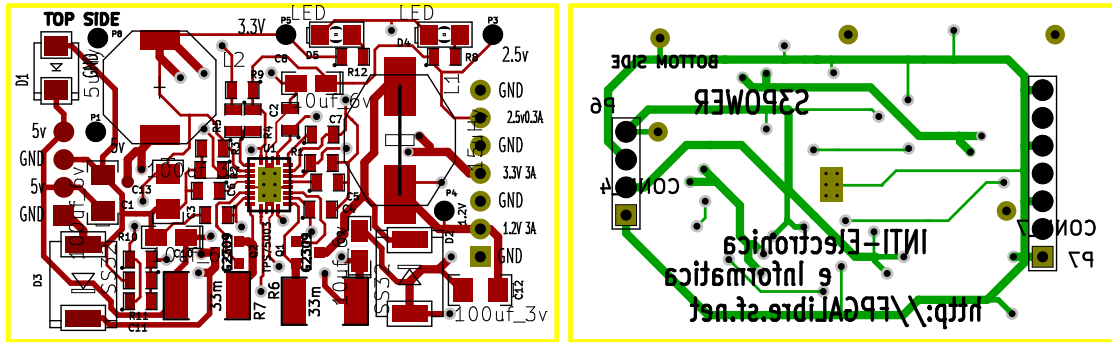
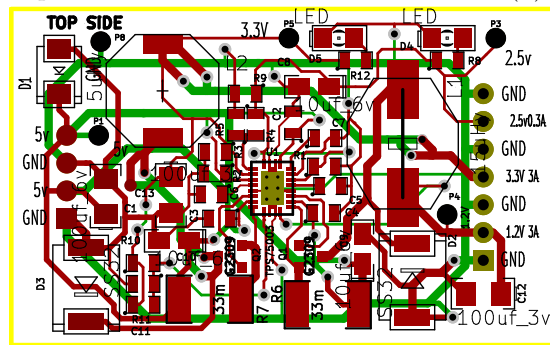


Figura 6: Esquemático



(a) Top

(b) Botton

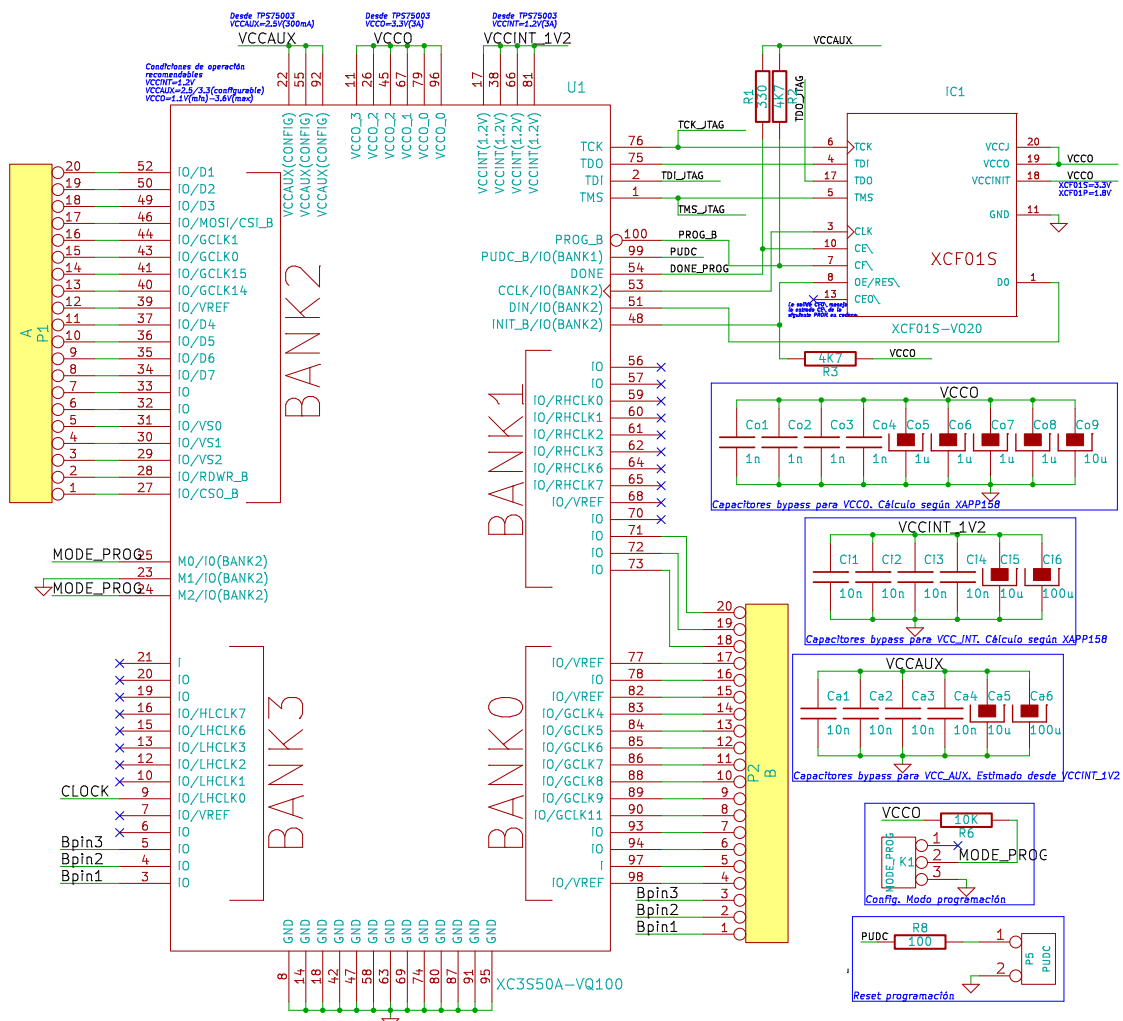


(c) Top & Botton

Figura 7: PCB

### 2.3.4. FPGA (PHR version BETA)

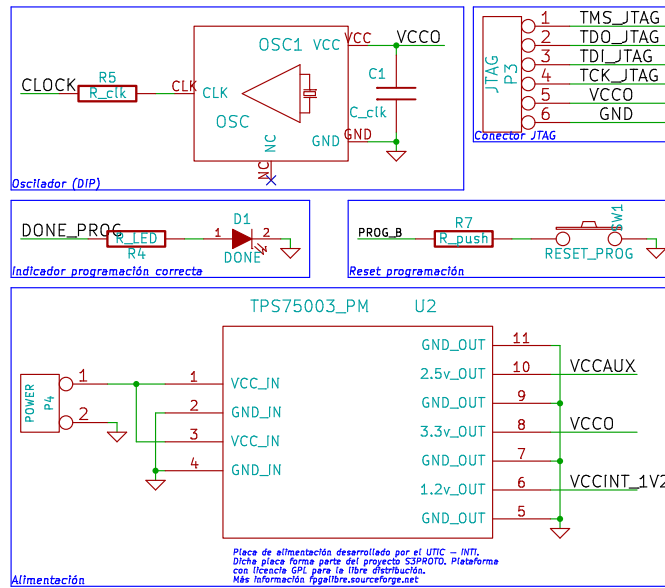
La placa *FPGA* que se presenta a continuación, es una versión prototipo que de la placa **PHR** final. La versión BETA pretende realizar un testeo de las características de potencia y el interface al puerto JTAG que dispone el dispositivo programable. Para la alimentación del mismo, se utiliza la placa **S3power** que se ha descrito en puntos anteriores.



(a) FPGA (XC3S50A) & Memoria de programación (XCF01S)

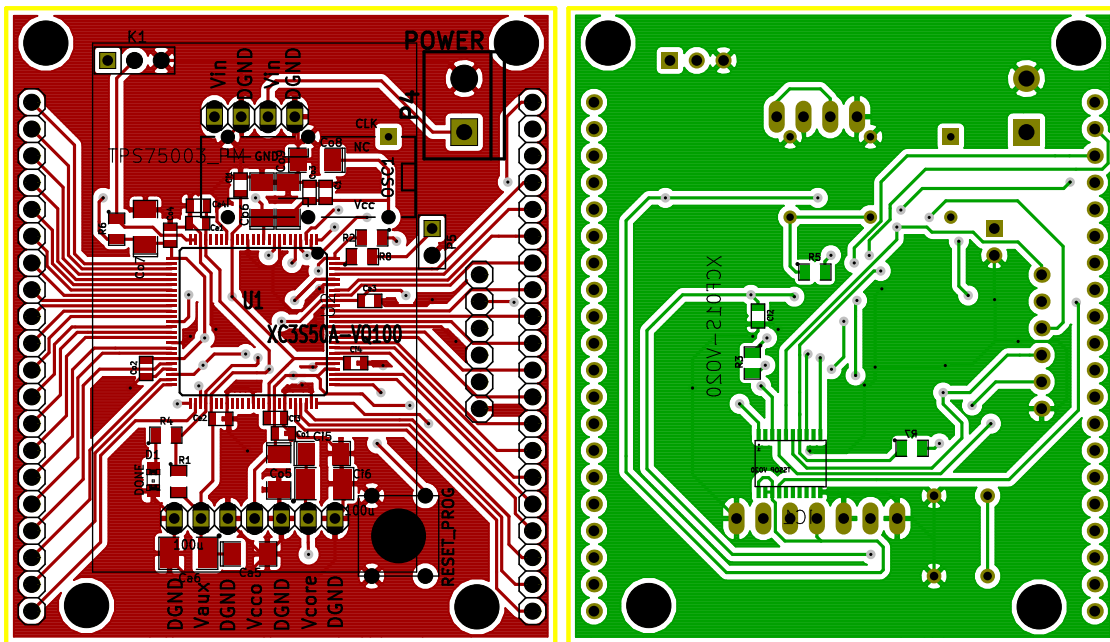
Figura 8: Esquemático





(b) Circuito de potencia (Placa S3power)

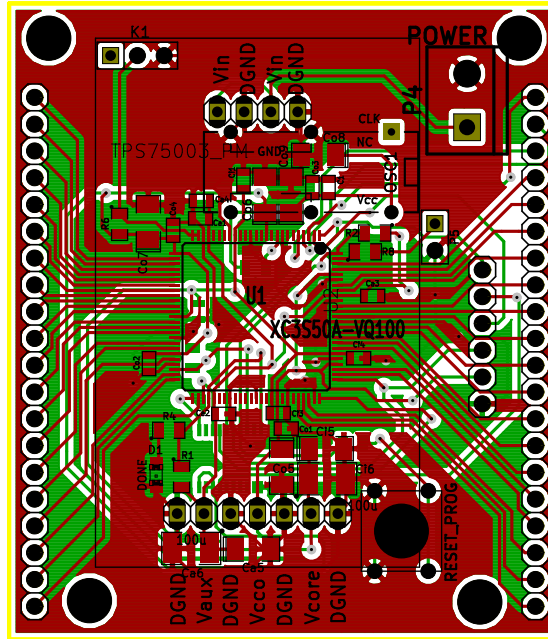
Figura 8: Esquemático (Continuación)



(a) Top

(b) Botton

Figura 9: PCB



(c) Top &amp; Botton

Figura 9: PCB (Continuación)

### 3. Documentación

La documentación resulta fundamental en ésta etapa del desarrollo. Si bien se quiere lograr el correcto funcionamiento de las placas, la documentación sirve para realizar correcciones a las versiones futuras de cada placa. Otro objetivo es documentar el funcionamiento de cada dispositivo que sirvan al reporte final como así también a los usuarios de la *Plataforma de Hardware Reconfigurable*.

## A. Repositorio de proyecto

El proyecto se encuentra alojado en los servidores de *OpenCores*. Por lo que se puede acceder a los repositorios mediante el siguiente link, <http://opencores.org/project,phr>. De todas formas se pueden comunicar por correo, [guanucoluis@gmail.com](mailto:guanucoluis@gmail.com).

## B. Archivos a considerar

Se dispone de varios archivos relacionados con esta etapa de ensamblado y testeo.

```
luis@luis-laptop:to_print$ ls -lX
total 2872
-rw-r--r-- 1 luis luis  1421 jul 10 16:38 cpld.cmp
-rw-r--r-- 1 luis luis  4599 jul 10 17:09 fpga.cmp
-rw-r--r-- 1 luis luis  6126 ago 28 21:34 00CD_placa.cmp
-rw-r--r-- 1 luis luis  4159 jul 10 16:40 S3Proto_Power.cmp
-rw-r--r-- 1 luis luis 234181 ago 28 21:29 fpga_brd.pdf
-rw-r--r-- 1 luis luis 137037 ago 28 21:55 fpga_sch.pdf
-rw-r--r-- 1 luis luis 177723 ago 28 21:23 00CD-Links_brd.pdf
-rw-r--r-- 1 luis luis  88397 ago 28 21:55 00CD-Links_sch.pdf
-rw-r--r-- 1 luis luis 145699 ago 28 21:04 ot-cpld_brd.pdf
-rw-r--r-- 1 luis luis  55105 ago 28 21:55 ot-cpld_sch.pdf
-rw-r--r-- 1 luis luis 121516 ago 28 21:17 S3Proto_Power_brd.pdf
-rw-r--r-- 1 luis luis  63912 ago 28 00:40 S3Proto_Power_sch.pdf
-rw-r--r-- 1 luis luis 1520722 ago 28 20:39 schedule.pdf
-rw-r--r-- 1 luis luis  57478 ago 28 21:35 cpld.png
-rw-r--r-- 1 luis luis  86035 ago 28 21:37 fpga.png
-rw-r--r-- 1 luis luis  66724 ago 28 21:33 00CD_placa.png
-rw-r--r-- 1 luis luis  70647 ago 28 21:36 S3Proto_Power.png
```

En estos archivos se tiene las figuras presentadas en las anteriores secciones pero con mejor resolución, estos terminan en `_sch` o `_brd` correspondientes a si se trata del esquemático o el PCB, respectivamente. También se tiene los archivos `.cmp`, los que contienen la lista de componentes a utilizar y su referencia en el esquemático como así también el encapsulado. Los archivos `.png` son las distintas placas vista en 3D para tener una idea de como debería quedar al finalizar el desarrollo.