

# Plataforma de hardware reconfigurable

Armado - Testeo y Documentación de las placas de finales

Luis A. Guanuco

Agosto 2013



## 1. Introducción

La documentación que se presenta en éste reporte describe los pasos a seguir para el *armado, testeo y depuración* de las distintas placas que conformarán la *Plataforma de Hardware Reconfigurable – PHR*. Se presenta un esquema general de tres etapas, sin embargo, cada una de ellas presenta una complejidad diferente.

## Referencias

- [1] Sebastián García, “Entorno de desarrollo de firmware sobre arquitectura ARM Cortex-M3, basado en herramientas libres”, 31 de Julio del 2013, Versión 0
- [2] **openocd!** (**openocd!**), “**openocd!** User’s Guide”, 25 de Noviembre del 2012, 10.7 Autoprobing, 58 p., Versión 0.7.0-dev

## A. Acrónimos

**PHR** Plataforma de Hardware Reconfigurable

**OpenOCD** *Open On-Chip Debugger*

**JTAG** *Joint Test Action Group*

**TAP** *Test Access Port*

**SVF** *Serial Vector Format*

**CPLD** *Complex Programmable Logical Device*

**FPGA** *Field Programmable Gate Array*

**PROM** *Programmable Read-Only Memory*

**SO** sistema operativo

**GPL** *General Public License*

**UTN-FRC** Universidad Tecnológica Nacional – Facultad Regional Córdoba

## B. Repositorio de proyecto

El proyecto se encuentra alojado en los servidores de *OpenCores*. Por lo que se puede acceder a los repositorios mediante el siguiente link, <http://opencores.org/project,phr>  
De todas formas se pueden comunicar por correo, [guanucoluis@gmail.com](mailto:guanucoluis@gmail.com).