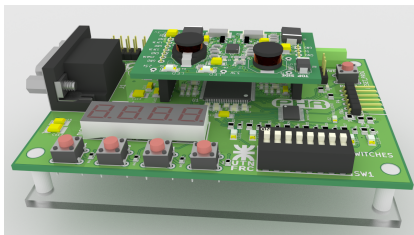


Plataforma de Hardware Reconfigurable

Luis Guanuco, Sergio Olmedo, Maximiliano Quinteros

Centro Universitario de Desarrollo en Automoción y Robótica
Universidad Tecnológica Nacional, Facultad Regional Córdoba

5 de mayo de 2014



Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCdLink
- 6 Configuración de la FPGA

Contenidos

- 1 **Introducción**
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCdLink
- 6 Configuración de la FPGA

Title

A frame

Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware**
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCdLink
- 6 Configuración de la FPGA

Diagrama de bloques del Hardware

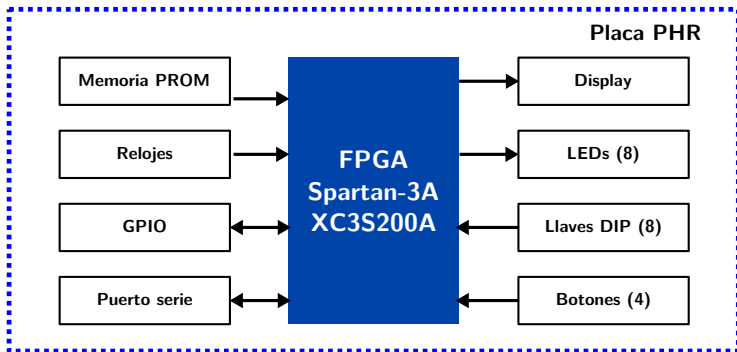


Diagrama de bloques del Hardware

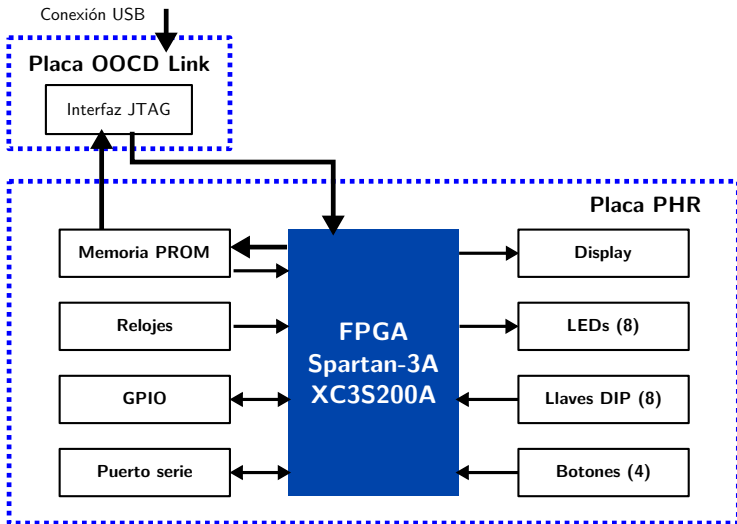
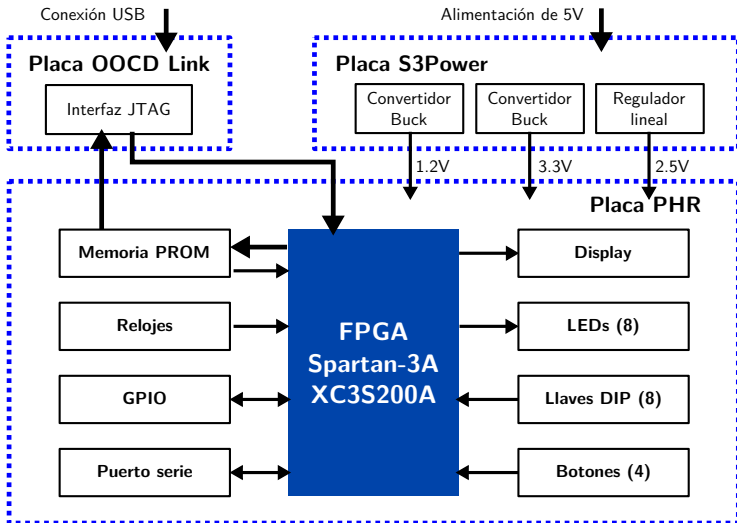


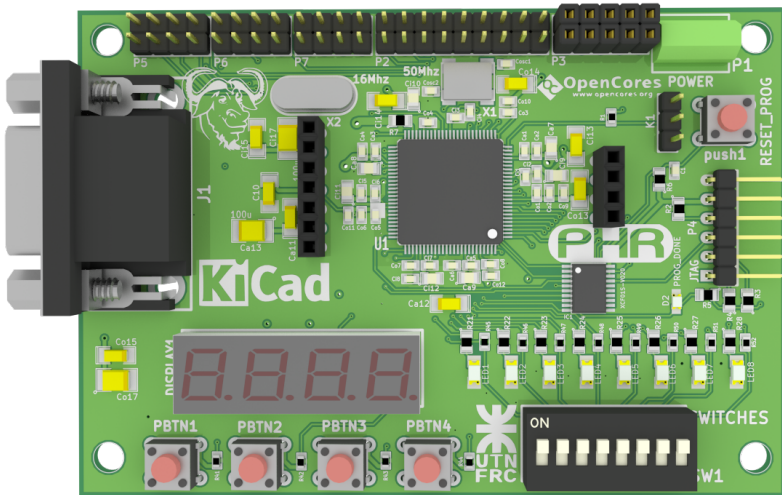
Diagrama de bloques del Hardware



Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR**
- 4 Placa S3Power
- 5 Placa OOCdLink
- 6 Configuración de la FPGA

Placa PHR



Características

FPGA: Xilinx Spartan-3A XC3S200A (VQG100).

Memoria PROM: Xilinx XCF02S.

Voltaje entrada: 5V.

Relojes: Un reloj fijo y tres seleccionables:

- 1 50 MHz.
- 2 16 MHz, 1 MHz, 500 kHz y 250 kHz.
- 3 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.
- 4 3.9062 kHz, 1.9531 kHz, 976,56251 Hz.

GPIO: 28 pines en total.

Características

FPGA: Xilinx Spartan-3A XC3S200A (VQG100).

Memoria PROM: Xilinx XCF02S.

Voltaje entrada: 5V.

Relojes: Un reloj fijo y tres seleccionables:

- 1 50 MHz.
- 2 16 MHz, 1 MHz, 500 kHz y 250 kHz.
- 3 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.
- 4 3.9062 kHz, 1.9531 kHz, 976,56251 Hz.

GPIO: 28 pines en total.

Características

FPGA: Xilinx Spartan-3A XC3S200A (VQG100).

Memoria PROM: Xilinx XCF02S.

Voltaje entrada: 5V.

Relojes: Un reloj fijo y tres seleccionables:

- 1 50 MHz.
- 2 16 MHz, 1 MHz, 500 kHz y 250 kHz.
- 3 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.
- 4 3.9062 kHz, 1.9531 kHz, 976,56251 Hz.

GPIO: 28 pines en total.

Características

FPGA: Xilinx Spartan-3A XC3S200A (VQG100).

Memoria PROM: Xilinx XCF02S.

Voltaje entrada: 5V.

Relojes: Un reloj fijo y tres seleccionables:

- 1 50 MHz.
- 2 16 MHz, 1 MHz, 500 kHz y 250 kHz.
- 3 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.
- 4 3.9062 kHz, 1.9531 kHz, 976,56251 Hz.

GPIO: 28 pines en total.

Características

FPGA: Xilinx Spartan-3A XC3S200A (VQG100).

Memoria PROM: Xilinx XCF02S.

Voltaje entrada: 5V.

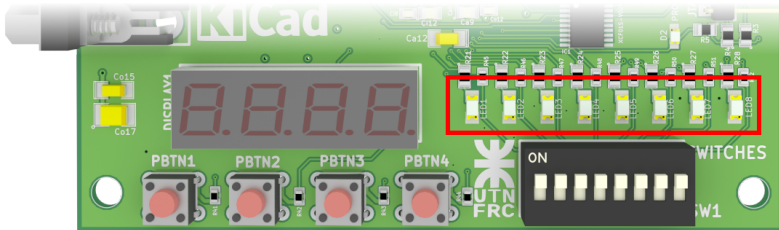
Relojes: Un reloj fijo y tres seleccionables:

- 1 50 MHz.
- 2 16 MHz, 1 MHz, 500 kHz y 250 kHz.
- 3 125 kHz, 62.5 kHz, 31.25 kHz, 15.625 kHz.
- 4 3.9062 kHz, 1.9531 kHz, 976,56251 Hz.

GPIO: 28 pines en total.

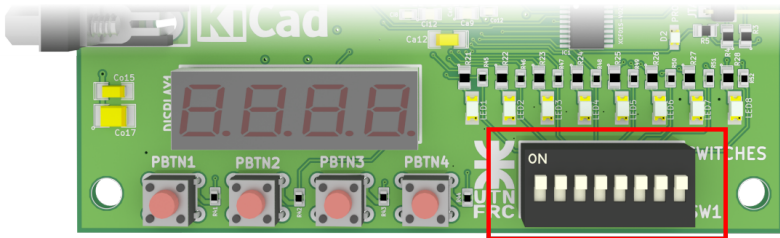
Periféricos

- 8 LEDs
- 8 llaves (DIP switch)
- 4 pulsadores
- Display de 7 segmentos cuádruple
- Puerto serie



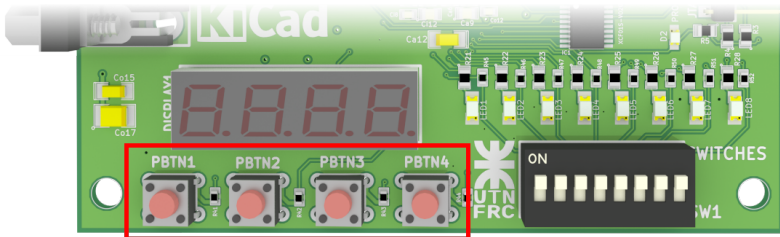
Periféricos

- 8 LEDs
- **8 llaves (DIP switch)**
- 4 pulsadores
- Display de 7 segmentos cuádruple
- Puerto serie



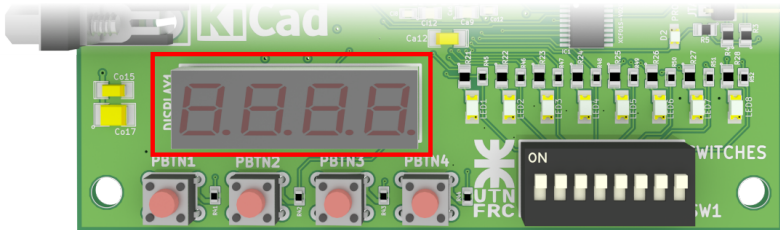
Periféricos

- 8 LEDs
- 8 llaves (DIP switch)
- **4 pulsadores**
- Display de 7 segmentos cuádruple
- Puerto serie



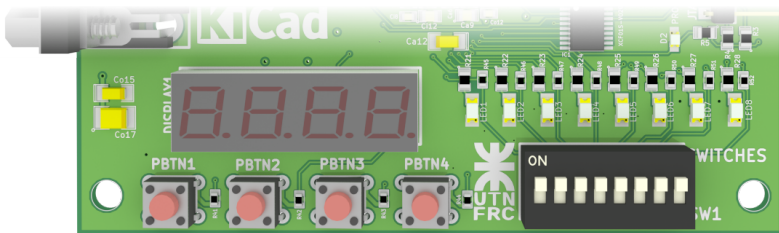
Periféricos

- 8 LEDs
- 8 llaves (DIP switch)
- 4 pulsadores
- **Display de 7 segmentos cuádruple**
- Puerto serie

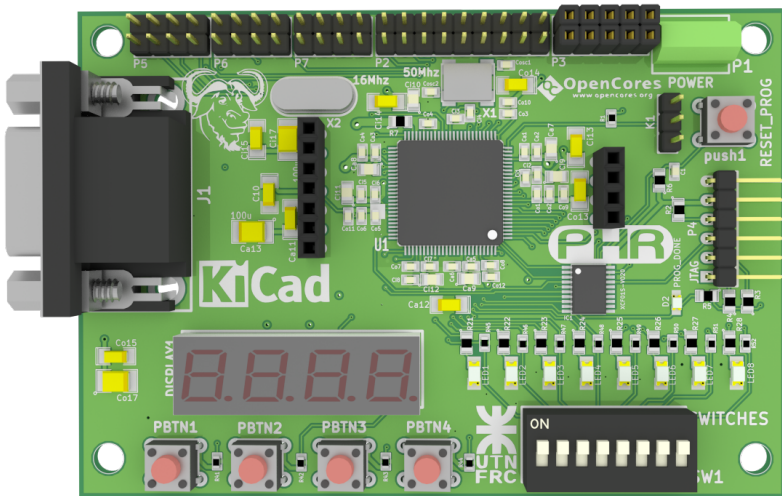


Periféricos

- 8 LEDs
- 8 llaves (DIP switch)
- 4 pulsadores
- Display de 7 segmentos cuádruple
- **Puerto serie**



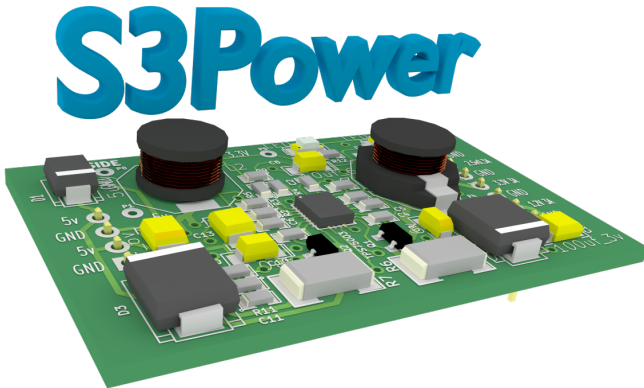
Periféricos



Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power**
- 5 Placa OOCdLink
- 6 Configuración de la FPGA

Placa S3Power



INTI

...

Voltajes de alimentación

Entrada	Alimenta a	Tensión nominal
VCCINT	Núcleo interno (CLBs, bloques de RAM).	1.2V
VCCAUX	DCMs, drivers diferenciales, pines de configuración dedicados y la interfaz JTAG.	2.5V o 3.3V
VCCO0	Banco de E/S número 0.	3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V.
VCCO1	Banco de E/S número 1.	3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V.
VCCO2	Banco de E/S número 2.	3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V.
VCCO3	Banco de E/S número 3.	3.3V, 3.0V, 2.5V, 1.8V, 1.5V y 1.2V.

Circuito POR

El circuito *Power On RESET* verifica:

- VCCINT
- VCCAUX
- VCCO2

Tiempos de encendido:

Símbolo	Rampa de	Min	Max
VCCINTR	VCCINT	0.2 ms	100 ms
VCCAUXR	VCCAUX	0.2 ms	100 ms
VCCO2R	VCCO del Banco 2	0.2 ms	100 ms

Circuito POR

El circuito *Power On RESET* verifica:

- VCCINT
- VCCAUX
- VCCO2

Tiempos de encendido:

Símbolo	Rampa de	Min	Max
VCCINTR	VCCINT	0.2 ms	100 ms
VCCAUXR	VCCAUX	0.2 ms	100 ms
VCCO2R	VCCO del Banco 2	0.2 ms	100 ms

Voltajes elegidos

- 1.2V y 2.5A para la lógica interna.
- 3.3V y 2.5A para los bancos de pines.
- 2.5V y 200mA para el módulo de comunicación JTAG.

El chip TPS75003

- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95 % y otro regulador lineal de 300 mA.
- Voltaje de entrada de entre 2.2V y 6.5 V.
- Arranque suave e independiente para cada regulador.
- Tensiones ajustables de 1.2 V a 6.5 V para los convertidores Buck y de 1.0 V a 6.5 V para el convertidor lineal.

El chip TPS75003

- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95 % y otro regulador lineal de 300 mA.
- Voltaje de entrada de entre 2.2V y 6.5 V.
- Arranque suave e independiente para cada regulador.
- Tensiones ajustables de 1.2 V a 6.5 V para los convertidores Buck y de 1.0 V a 6.5 V para el convertidor lineal.

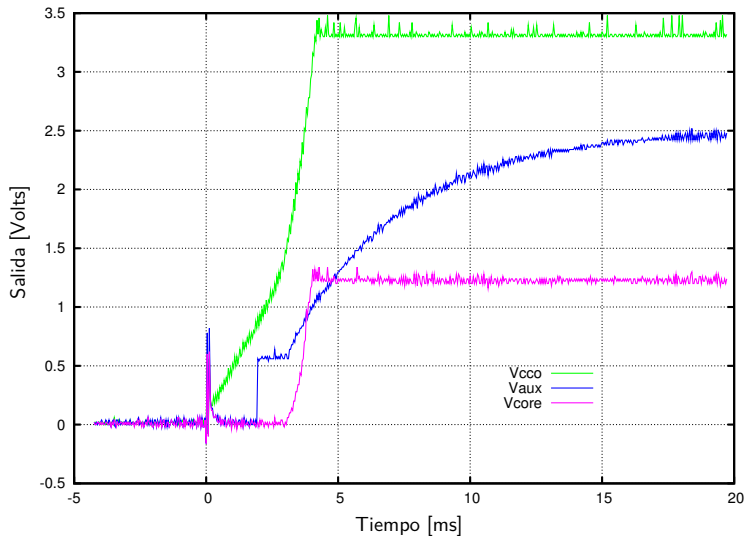
El chip TPS75003

- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95 % y otro regulador lineal de 300 mA.
- Voltaje de entrada de entre 2.2V y 6.5 V.
- Arranque suave e independiente para cada regulador.
- Tensiones ajustables de 1.2 V a 6.5 V para los convertidores Buck y de 1.0 V a 6.5 V para el convertidor lineal.

El chip TPS75003

- Posee tres reguladores de tensión: Dos tipo Buck de 3A y eficiencia del 95 % y otro regulador lineal de 300 mA.
- Voltaje de entrada de entre 2.2V y 6.5 V.
- Arranque suave e independiente para cada regulador.
- Tensiones ajustables de 1.2 V a 6.5 V para los convertidores Buck y de 1.0 V a 6.5 V para el convertidor lineal.

Arranque medido

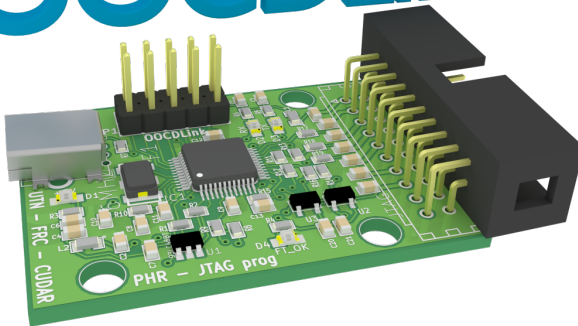


Contenidos

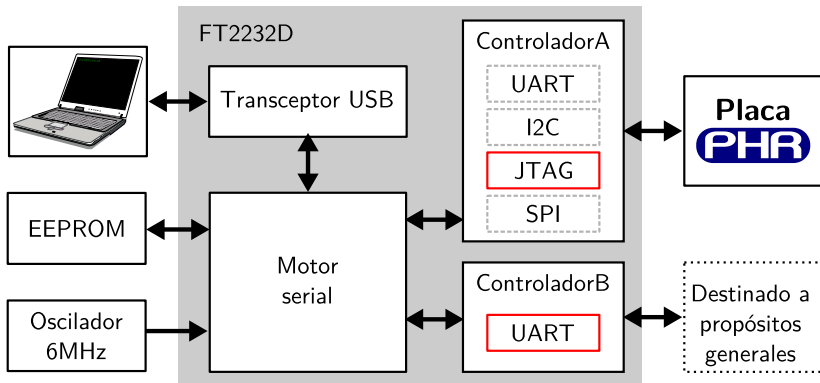
- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCdLink**
- 6 Configuración de la FPGA

Placa OOCDDLink

OOCDDLink



FTDIchip



Contenidos

- 1 Introducción
- 2 Diagrama de bloques del Hardware
- 3 Placa PHR
- 4 Placa S3Power
- 5 Placa OOCdLink
- 6 Configuración de la FPGA**

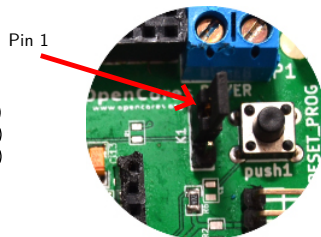
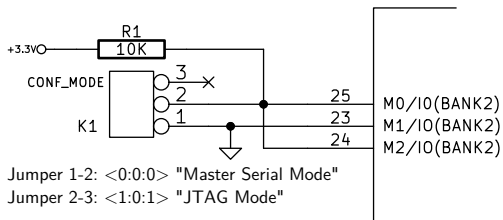
Modos de configuración (familia Spartan-3A)

- *Master Serial* desde una memoria PROM Flash de Xilinx
- *Serial Peripheral Interface* (SPI) desde una memoria Flash SPI
- *Byte Peripheral Interface* (BPI) desde una memoria NOR Flash
- *Slave Serial*, típicamente cargada desde un procesador
- *Slave Parallel*, típicamente cargada desde un procesador
- *Boundary Scan* (JTAG), típicamente cargada desde un procesador

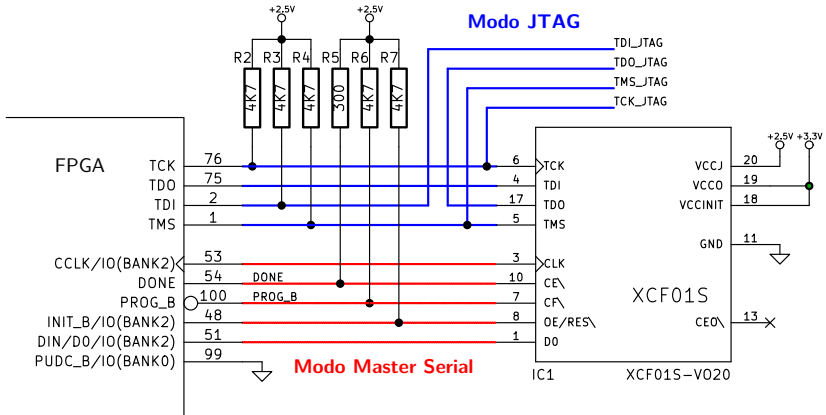
Modos de configuración (familia Spartan-3A)

- **Master Serial desde una memoria PROM Flash de Xilinx**
- *Serial Peripheral Interface (SPI)* desde una memoria Flash SPI
- *Byte Peripheral Interface (BPI)* desde una memoria NOR Flash
- *Slave Serial*, típicamente cargada desde un procesador
- *Slave Parallel*, típicamente cargada desde un procesador
- **Boundary Scan (JTAG), típicamente cargada desde un procesador**

Selección de los modos de configuración



Circuito de configuración

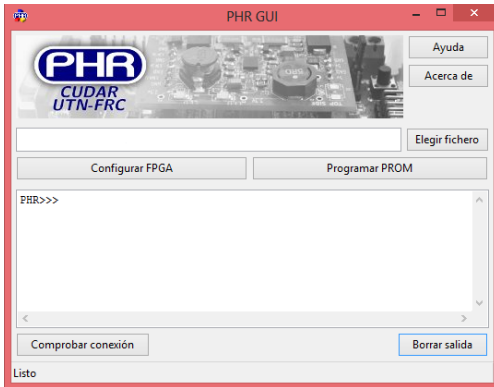


xc3sprog

```
$ xc3sprog -c ftdi -L -j -v
XC3SPROG (c) 2004-2011 xc3sprog project $Rev: 691 $ OS: Windows
Free software: If you contribute nothing, expect nothing!
Feedback on success/failure/enhancement requests:
  http://sourceforge.net/mail/?group_id=170565
Check Sourceforge for updates:
  http://sourceforge.net/projects/xc3sprog/develop

Using built-in device list
Using built-in cable list
Cable ftdi type ftdi VID 0x0403 PID 0x6010 dbus data 00 enable 0b cbus
Using FTD2XX, Using JTAG frequency 1200000
JTAG chainpos: 0 Device IDCODE = 0x02218093 Desc: XC3S200A
JTAG loc.: 0 IDCODE: 0x02218093 Desc: XC3S200A Rev: A IR length: 6
JTAG loc.: 1 IDCODE: 0xd5045093 Desc: XCF02S Rev: M IR length: 8
USB transactions: Write 6 read 4 retries 0
```

xc3sprog



xc3sprog



PHR GUI



terminando