

Plataforma de Hardware Reconfigurable

Luis Alberto Guanuco

Mayo 2011

Abstract

El presente trabajo de tesis, enfocado en el ámbito académico, presenta una plataforma educativa abierta para el desarrollo de descripción de hardware en dispositivos PLDs (Programmable Logic Devices). El desarrollo cubre las herramientas de hardware para las Cátedras de Técnicas Digitales, lo que permite al estudiante introducirse en el diseño de arquitecturas reconfigurables. A la vez que la plataforma ayuda en el aprendizaje y puesta en práctica de los diseños descritos en VHDL (VHSIC hardware description language), permite el acercamiento a la microelectrónica, área fundamental en el desarrollo tecnológico.

1 Desarrollo

El desarrollo est compuesto por una placa base que contiene todos los recursos/periféricos a ser utilizados por el dispositivo central, esto se puede ver en la Figura 1.

El bloque central posee el dispositivo logico reconfigurable, que puede ser una FPGA o un CPLD. En la misma placa se dispone de el clock externo como tambien memoria de programación, Figura 2.

2 Recursos

El desarrollado del proyecto se realizar integramente en el grupo de investigacin CUDAR. El grupo est compuesto con docentes y estudiantes especializados en el área de robótica como también en la automatización de sistemas físicos empleando nuevas tecnologías. Particularmente se posee un gran conocimiento del lenguaje que permite la descripción de hardware logrando diseñar arquitecturas reconfigurables en FPGA/CPLD. Con el desafío de difundir ésta tecnología, CUDAR gestó la creación de la electiva “Tcnicas Digitales IV” que se encuentra dictando ya hace cinco años con un alto acaparamiento de estudiantes avanzados de la carrera.